

1/5/3 (Item 3 from file: 351)
DIALOG(R) File 351:Derwent WPI
(c) 2006 The Thomson Corporation. All rts. reserv.

0010414692 - Drawing available
WPI ACC NO: 2001-012825/ 200102
XRPX Acc No: N2001-010241

Piezoelectric transformer inverter used for e.g. liquid crystal backlight,
has duty ratio control unit which controls mean value of alternating
voltage input into piezoelectric transformer

Patent Assignee: MURATA MFG CO LTD (MURA)

Inventor: MORISHIMA S; MORISHIMA Y; NOMA T; NUMA T

Patent Family (5 patents, 4 countries)

Patent			Application			
Number	Kind	Date	Number	Kind	Date	Update
JP 2000295861	A	20001020	JP 1999101699	A	19990408	200102 B
CN 1270441	A	20001018	CN 2000106436	A	20000407	200103 E
US 6184631	B1	20010206	US 2000526961	A	20000316	200109 E
TW 456159	A	20010921	TW 2000104142	A	20000308	200242 E
CN 1179477	C	20041208	CN 2000106436	A	20000407	200618 E

Priority Applications (no., kind, date): JP 1999101699 A 19990408

Patent Details

Number	Kind	Lan	Pg	Dwg	Filing	Notes
JP 2000295861	A	JA	25	15		
TW 456159	A	ZH				

Alerting Abstract JP A

NOVELTY - A current detector (8) measures the load current which flows in a discharge tube (7) connected to a piezoelectric transformer (6). A duty ratio control unit (3) is provided for controlling the mean voltage of an alternating voltage, which is input into the piezoelectric transformer, based on the output of the current detector.

USE - Used for e.g. liquid crystal backlight, liquid crystal display device.

ADVANTAGE - Reduces cost since the control circuit is simplified. Ensures a reliable piezoelectric transformer which performs a stable drive to the load.

DESCRIPTION OF DRAWINGS - The figure shows the schematic block diagram of the piezoelectric transformer inverter.

3 Duty ratio control unit

6 Piezoelectric transformer

7 Discharge tube

8 Current detector

Title Terms/Index Terms/Additional Words: PIEZOELECTRIC; TRANSFORMER;
INVERTER; LIQUID; CRYSTAL; DUTY; RATIO; CONTROL; UNIT; MEAN; VALUE;
ALTERNATE; VOLTAGE; INPUT

Class Codes

International Classification (Main): H02M-007/48, H05B-037/02, H05B-041/24
(Additional/Secondary): H02M-003/24

US Classification, Issued: 315224000, 315209000, 315291000, 310318000,
310311000

File Segment: EPI;

DWPI Class: U14; U24; V06; W05; X26

Manual Codes (EPI/S-X): U14-K01A4C; U24-D05; V06-H; V06-L01A3; W05-E05B;
X26-C01B2A

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-295861
(P2000-295861A)

(43) 公開日 平成12年10月20日 (2000. 10. 20)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
H 0 2 M 7/48		H 0 2 M 7/48	G 3 K 0 7 2
	3/24		A 5 H 0 0 7
H 0 5 B 41/24		H 0 5 B 41/24	H 5 H 7 3 0
			Z

審査請求 有 請求項の数16 O L (全 25 頁)

(21) 出願番号 特願平11-101699

(22) 出願日 平成11年4月8日 (1999. 4. 8)

(71) 出願人 000006231

株式会社村田製作所
京都府長岡京市天神二丁目26番10号

(72) 発明者 野間 隆嗣

京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(72) 発明者 森島 靖之

京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(74) 代理人 100086597

弁理士 宮▼崎▲ 主税

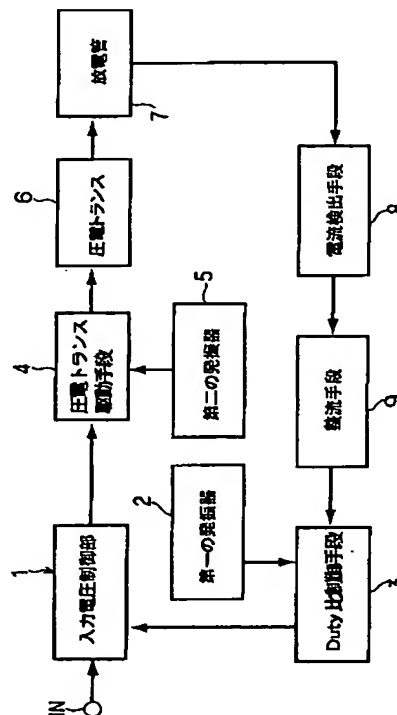
最終頁に続く

(54) 【発明の名称】 圧電トランスインバータ

(57) 【要約】

【課題】 制御回路の簡略化を果たすことができ、圧電トランスを用いて負荷を安定に駆動することができ、かつ低コスト化を図り得る圧電トランスインバータを得る。

【解決手段】 スイッチングトランジスタ及び環流素子を有し、入力電圧を矩形波交流電圧に変換する入力電圧制御手段1に、誘導性素子を含み、入力電圧制御手段1から出力される交流電圧よりも低い略一定周波数の交流電圧を出力する圧電トランス駆動手段4が接続されており、圧電トランス6に接続された放電管7を流れる負荷電流が負荷電流検出手段8により検出され、該負荷電流検出手段の出力に応じて負荷電流が略一定の目標電流値となるように、入力電圧制御手段1の矩形波パルスデューティが、デューティ比制御手段3により制御され、それによって、圧電トランスに入力される交流電圧の平均電圧が制御される、圧電トランスインバータ。



【特許請求の範囲】

【請求項 1】 略一定の駆動周波数で圧電トランスを駆動し、該圧電トランスを用いて負荷を駆動するための圧電トランスインバータであって、

入力電極と出力電極とを有し、入力電極に入力された前記駆動周波数よりも高い周波数の交流電圧を昇圧し、出力電極から昇圧された交流電圧を出力し、前記出力電極に負荷が接続される圧電トランスと、

前記負荷を流れる電流が予め定められた目標電流値と略一致するように、前記圧電トランスに入力される交流電圧の平均電圧を制御する電圧制御手段とを備えることを特徴とする、圧電トランスインバータ。

【請求項 2】 前記電圧制御手段が、スイッチングトランジスタ及び環流素子を有する入力電圧制御手段を備え、直流入力電圧が交流電圧に変換されるとともに、前記負荷を流れる電流が目標電流値と略一致するように、該入力電圧制御手段のデューティ比が制御される、請求項 1 に記載の圧電トランスインバータ。

【請求項 3】 圧電トランスを用いて負荷を駆動するための圧電トランスインバータであって、

スイッチングトランジスタ及び環流素子を有し、直流入力電圧を矩形波交流電圧に変換する入力電圧制御手段と、

前記入力電圧制御手段と圧電トランスとの間に接続されており、誘導性素子を含み、入力電圧制御手段から出力される交流電圧よりも低い略一定周波数の交流電圧を前記圧電トランスに出力する圧電トランス駆動手段と、入力電極と出力電極とを有し、入力電極が前記圧電トランス駆動手段に接続されており、出力電極が負荷に接続される圧電トランスと、

負荷に接続されて、負荷電流を検出する負荷電流検出手段と、

前記負荷電流検出手段に接続されており、負荷電流検出手段の出力に応じて、負荷電流が略一定の目標電流値となるように入力電圧制御手段の矩形波パルスデューティ比を制御するデューティ比制御手段とを備えることを特徴とする、

圧電トランスインバータ。

【請求項 4】 前記入力電圧制御手段の動作周波数を決定する第 1 の発振器と、前記圧電トランス駆動手段の動作周波数を決定する第 2 の発振器とをさらに備える、請求項 3 に記載の圧電トランスインバータ。

【請求項 5】 前記第 1 の発振器の周波数を分周する分周回路をさらに備え、第 1 の発振器の周波数を分周した信号が第 2 の発振器の出力とされており、それによって第 1、第 2 の発振器が単一の発振器で構成されている、請求項 4 に記載の圧電トランスインバータ。

【請求項 6】 前記第 2 の発振器の発振周波数が、前記圧電トランスの出力が無負荷の状態の場合に、圧電トランスの昇圧比が最大となる周波数以下であり、かつ前記

圧電トランスに負荷を接続して駆動した場合に圧電トランスの昇圧比が最大となる周波数以上であることを特徴とする、請求項 4 または 5 に記載の圧電トランスインバータ。

【請求項 7】 第 2 の発振器の発振周波数の周囲温度に対する依存性を補償するための温度補償回路をさらに備えることを特徴とする、請求項 4～6 のいずれかに記載のトランスインバータ。

【請求項 8】 前記温度補償回路が、サーミスタまたは温度補償用コンデンサを備える、請求項 7 に記載の圧電トランスインバータ。

【請求項 9】 外部から印加される第 1 の調光信号に応じて、前記目標電流値を変化させることを特徴とする、請求項 3～8 のいずれかに記載の圧電トランスインバータ。

【請求項 10】 前記第 1 の調光信号に応じて、第 1 または第 2 の発振器の発振周波数をフィードバック制御を用いることなく変化させ得る発振周波数可変回路をさらに備えることを特徴とする、請求項 9 に記載の圧電トランスインバータ。

【請求項 11】 負荷の駆動を間欠的にオン・オフし、オン時間比率を外部から印加する第 2 の調光信号によって変化させ得る負荷駆動時間制御手段をさらに備えることを特徴とする、請求項 3～10 のいずれかに記載の圧電トランスインバータ。

【請求項 12】 前記負荷電流検出手段から得られる負荷電流を整流し、該負荷電流に応じた直流電圧を出力する整流手段をさらに備え、

前記負荷がオン状態または負荷がオン状態となるように回路が動作しているときに前記整流手段の出力に生じる電圧と略同一の電圧を、負荷がオフ状態あるいは負荷がオフ状態となるように回路が動作している期間に前記整流手段の出力端子に印加することを特徴とする、請求項 11 に記載の圧電トランスインバータ。

【請求項 13】 前記負荷を流れる電流及び前記整流手段の出力電圧の値に依存せず、前記入力電圧制御手段の矩形波パルスデューティ比が一定の値以上とならないようにデューティ比を制御するデッドタイム制御手段をさらに備え、デッドタイム制御手段により制約された矩形波パルスデューティ比の値が入力電圧により変化する、請求項 3～12 のいずれかに記載の圧電トランスインバータ。

【請求項 14】 前記負荷を流れる電流が目標電流値と異なる場合が予め定められた一定期間以上継続した場合に、回路動作を停止するための回路動作停止手段をさらに備えることを特徴とする、請求項 3～13 のいずれかに記載の圧電トランスインバータ。

【請求項 15】 前記回路動作停止手段における前記異常事態発生から回路動作停止までの一定期間が、外部に接続されている部品の定数により変化され得るように構

3

成されている、請求項 14 に記載の圧電トランスインバータ。

【請求項 16】 前記圧電トランスの出力電圧が所望の値を超えた場合に、前記第 2 の発振器の発振周波数を、高周波数側に変化させ、出力電圧の過上昇を防止するように構成されている、請求項 3～15 のいずれかに記載の圧電トランスインバータ。

【請求項 17】 前記圧電トランスの出力電圧が所望の値を超えた場合に、前記入力電圧制御手段の出力矩形波のパルスデューティを狭くして、出力電圧の過上昇を防止するように構成されている、請求項 3～15 のいずれかに記載の圧電トランスインバータ。

【請求項 18】 起動時に、前記第 2 の発振器の発振周波数を、高周波数側から低周波数側に掃引しながら起動するように構成されている、請求項 3～17 のいずれかに記載の圧電トランスインバータ。

【請求項 19】 入力電圧が所望の電圧よりも低い場合に、前記第 2 の発振器の発振周波数が、通常の場合の発振周波数よりも低い周波数にシフトされる、請求項 3～18 のいずれかに記載の圧電トランスインバータ。

【請求項 20】 前記負荷が、放電管である、請求項 1～19 のいずれかに記載の圧電トランスインバータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、圧電トランスを用いて負荷を駆動するための圧電トランスインバータに関し、例えば、放電管の点灯回路、特に液晶バックライト用冷陰極管の点灯に好適に用いられる圧電トランスインバータに関する。

【0002】

【従来の技術】従来、液晶表示装置のバックライト用光源として、小型の冷陰極管が用いられている。この冷陰極管の駆動に際し、小型化及び低コスト化が容易であるため、電磁型トランスに代えて圧電トランスが用いられている。

【0003】特開平 7-220888 号公報には、圧電トランスを用いたバックライト用冷陰極管の駆動装置が開示されている。ここでは、直流電源と圧電トランスを駆動するインバータとの間に、チョップ回路が接続されている。また、圧電トランスに冷陰極管が接続されており、冷陰極管を流れる電流が管電流検出回路により検出されている。この管電流が一定となるように、チョップ回路のデューティ比を制御することにより、冷陰極管の輝度が一定に保たれている。

【0004】また、特開平 9-107684 号公報には、圧電トランスの周波数-ゲイン特性を利用して管電流を所望の値に制御する、圧電トランス駆動回路が開示されている。ここでは、入力端と圧電トランスとの間に、平滑整流用部品を有しない駆動電圧制御回路及び昇圧回路が接続されており、駆動電圧制御回路により、昇

4

圧回路に入力される平均入力電圧が一定化されている。また、圧電トランスには冷陰極管が接続されており、かつ冷陰極管に流れる電流を検出し、該管電流に基づき、圧電トランスの周波数-ゲイン特性を利用して管電流を所望の値に制御する周波数制御回路が備えられている。

【0005】圧電トランスの周波数-ゲイン特性を利用する制御方法において、駆動電圧制御回路がない場合には、昇圧回路に入力される入力電圧が増加すると、入力電圧増加を相殺するように圧電トランスの駆動周波数が圧電トランスの昇圧比の小さい高周波数側に変化する。しかし、昇圧比の小さい周波数領域では圧電トランスの変換効率が低下する。この先行技術では、駆動電圧制御回路を設け昇圧回路への平均電圧を一定化することにより、圧電トランスの駆動周波数を効率のよい周波数に一定化することができる。このため、広い入力電圧範囲に対しても比較的高い効率を維持することができるとされている。

【0006】

【発明が解決しようとする課題】特開平 7-220888 号公報に記載の先行技術では、上記チョップ回路の出力は直流電圧であり、該チョップ回路は DC-DC コンバータと考えられる。従って、チョップ回路を DC-DC コンバータとするには、平滑整流用のインダクタ及びコンデンサが必要となる。従って、部品点数が多くなり、かつ損失が大きくなるという問題があった。

【0007】他方、特開平 9-107684 号公報に記載の圧電トランス駆動回路では、平滑整流回路を必要としないため、平滑整流回路による損失の増大を避けることができる。

【0008】しかしながら、特開平 9-107684 号公報に記載の先行技術では、周波数制御回路により、管電流を一定に保つための周波数制御と、昇圧回路への入力電圧を一定に保つための駆動電圧制御回路によるパルス幅デューティ制御の 2 種類のフィードバック制御が必要であった。従って、制御回路が複雑になり、コストが増大するという問題があった。

【0009】本発明の目的は、上述した従来技術の欠点を解消し、平滑整流用回路を必要とせず、しかも、制御回路の簡略化を果たすことができ、圧電トランスを用いて負荷を安定に駆動することができ、しかも低コスト化を図り得る、圧電トランスインバータを提供することにある。

【0010】

【課題を解決するための手段】本発明のある広い局面によれば、略一定の駆動周波数で圧電トランスを駆動し、該圧電トランスを用いて負荷を駆動するための圧電トランスインバータであって、入力電極と出力電極とを有し、入力電極に入力された前記駆動周波数よりも高い周波数の交流電圧を昇圧し、出力電極から昇圧された交流電圧を出力し、前記出力電極に負荷が接続される圧電ト

ランスと、前記負荷を流れる電流が予め定められた目標電流値と略一致するように、前記圧電トランスに入力される交流電圧の平均電圧を制御する電圧制御手段とを備えることを特徴とする、圧電トランスインバータが提供される。

【0011】好ましくは、前記電圧制御手段が、スイッチングトランジスタ及び環流素子を有する入力電圧制御手段を備え、直流入力電圧が交流電圧に変換されるとともに、前記負荷を流れる電流が目標電流値と略一致するように、該入力電圧制御手段のデューティ比が制御される。

【0012】本発明の別の広い局面によれば、圧電トランスを用いて負荷を駆動するための圧電トランスインバータであって、スイッチングトランジスタ及び環流素子を有し、直流入力電圧を矩形波交流電圧に変換する入力電圧制御手段と、前記入力電圧制御手段と圧電トランスとの間に接続されており、誘導性素子を含み、入力電圧制御手段から出力される交流電圧よりも低い略一定周波数の交流電圧を前記圧電トランスに出力する圧電トランス駆動手段と、入力電極と出力電極とを有し、入力電極が前記圧電トランス駆動手段に接続されており、出力電極が負荷に接続される圧電トランスと、負荷に接続されて、負荷電流を検出する負荷電流検出手段と、前記負荷電流検出手段に接続されており、負荷電流検出手段の出力に応じて、負荷電流が略一定の目標電流値となるように入力電圧制御手段の矩形波パルスデューティ比を制御するデューティ比制御手段とを備える圧電トランスインバータが提供される。

【0013】本発明の特定の局面によれば、前記入力電圧制御手段の動作周波数を決定する第1の発振器と、前記圧電トランス駆動手段の動作周波数を決定する第2の発振器とがさらに備えられる。

【0014】好ましくは、前記第1の発振器の周波数を分周する分周回路がさらに備えられ、第1の発振器の周波数を分周した信号が第2の発振器の出力とされ、それによって第1、第2の発振器が単一の発振器で構成される。

【0015】また、本発明のある特定の局面によれば、前記第2の発振器の発振周波数が、前記圧電トランスの出力が無負荷の状態の場合に、圧電トランスの昇圧比が最大となる周波数以下であり、かつ前記圧電トランスに負荷を接続して駆動した場合に圧電トランスの昇圧比が最大となる周波数以上とされる。

【0016】また、好ましくは、本発明においては、第2の発振器の発振周波数の周囲温度に対する依存性を補償するための温度補償回路がさらに備えられる。上記温度補償回路は、好ましくは、サーミスタまたは温度補償用コンデンサを備える。

【0017】本発明の別の特定の局面では、外部から印加される第1の調光信号に応じて、前記目標電流値を

化させるための目標電流値可変手段がさらに備えられる。好ましくは、前記第1の調光信号に応じて、第1または第2の発振器の発振周波数をフィードバック制御を用いることなく変化させ得る発振周波数可変回路がさらに備えられる。このとき、第1の発振器の周波数を変化させ、その周波数を分周して用いることにより、第2の発振器の発振周波数を可変してもよい。

【0018】本発明の別の特定の局面によれば、負荷の駆動を間欠的にオン・オフし、オン時間比率を外部から印加する第2の調光信号によって変化させ得る負荷駆動時間制御手段がさらに備えられる。

【0019】また、本発明のさらに別の特定の局面では、前記負荷電流検出手段から得られる負荷電流を整流し、該負荷電流に応じた直流電圧を出力する整流手段をさらに備え、前記負荷がオン状態のとき、または負荷がオン状態となるように回路が動作しているときに前記整流手段の出力に生じる電圧と略同一の電圧が、負荷がオフ状態あるいは負荷がオフ状態となるように回路が動作している期間に前記整流手段の出力端子に印加される。

【0020】また、上記デューティ比制御手段による制御に際しては、好ましくは、前記負荷を流れる電流及び前記整流手段の出力電圧の値に依存せず、前記入力電圧制御手段の矩形波パルスデューティ比が一定の値以上とならないようにデューティ比を制御するデッドタイム制御手段がさらに備えられ、デッドタイム制御手段により制約された矩形波パルスデューティ比の値が入力電圧により変化される。

【0021】本発明においては、好ましくは、前記負荷を流れる電流が目標電流値とならない場合が予め定められた一定期間以上継続した場合に、回路動作を停止するための回路動作停止手段がさらに備えられる。

【0022】好ましくは、前記回路動作停止手段における前記異常事態発生から回路動作停止までの一定期間が、外部に接続されている部品の定数により変化され得るように構成される。

【0023】また、本発明の別の特定の局面では、前記圧電トランスの出力電圧が所望の値を超えた場合に、前記第2の発振器の発振周波数を、高周波数側に变化させ、出力電圧の過上昇を防止するように構成されている。このとき、第1の発振器の周波数を変化させ、その周波数を分周して第2の発振器の周波数としてもよい。あるいは、圧電トランスの出力電圧が所望の値を超えた場合に、入力電圧制御手段から出力される矩形波パルスデューティ比を狭くして、出力電圧の過上昇を防止するように構成される。好ましくは、起動時に、第2の発振器の発振周波数が、高周波数側から低周波数側に掃引しながら起動するように構成される。

【0024】また、本発明の別の特定の局面では、入力電圧が所望の電圧よりも低い場合に、前記第2の発振器の発振周波数が、通常の場合の発振周波数よりも低い周

波数にシフトされる。

【0025】本発明に係る圧電トランスインバータは、様々な負荷を駆動するのに用いることができるが、放電管の点灯及び調光制御に好適に用いることができ、このような放電管としては、特に限定されるわけではないが、例えば、液晶バックライト用冷陰極管などを例示することができる。

【0026】

【発明の実施の形態】以下、本発明の具体的な実施例を挙げることににより、本発明をより詳細に説明する。

【0027】図1は、本発明の一実施例に係る圧電トランスインバータの概略ブロック図であり、図2は、その具体的な回路構成を示す回路図である。図1に示すように、本発明に係る圧電トランスインバータでは、入力電圧制御手段としての入力電圧制御部1に入力電圧が印加される。入力電圧制御部1は、入力電圧を所定の周波数で断続的にオン・オフし、入力電圧を矩形波交流電圧に変換する。この入力電圧制御部1は、平滑整流回路を有しない降圧チョップ回路で構成されている。

【0028】入力電圧制御部には、第1の発振器2がデューティ比制御手段3を介して接続されている。第1の発振器2は、入力電圧制御部1における上記所定の周波数を与えるために設けられている。

【0029】入力電圧制御部1の後段には、圧電トランス駆動手段4が接続されている。圧電トランス駆動手段4には、第2の発振器5が接続されており、圧電トランス駆動手段4は、第2の発振器5で決定される周波数によりスイッチング動作を行う。すなわち、圧電トランス駆動手段では、入力電圧制御部1から入力された矩形波交流電圧が、第2の発振器5で得られる周波数を主成分とする交流電圧に変換される。圧電トランス駆動手段4は、誘導性素子、具体的にはインダクタや電磁トランスを有する。

【0030】なお、第2の発振器5の発振周波数は、第1の発振器2の発振周波数よりも低い周波数に設定されている。好ましくは、第2の発振器5の発振周波数は、第1の発振器2の発振周波数の $1/4$ 以下の周波数に設定される。

【0031】圧電トランス6は、公知のローゼン型圧電トランスにより構成されており、入力端に圧電トランス駆動手段から上記交流電圧が印加され、入力された交流電圧が昇圧され、出力端から出力される。この圧電トランス6から出力された交流電圧が、負荷としての放電管7に印加される。

【0032】他方、放電管7には、電流検出手段8が接続されており、電流検出手段8は、放電管7に流れる電流、すなわち負荷電流を検出するように構成されている。電流検出手段8の出力端には、整流手段9が接続されている。整流手段9は、電流検出手段8により検出された負荷電流をある時定数で整流し、該負荷電流に応じ

た直流電圧を出力する。

【0033】整流手段9には、デューティ比制御手段3が接続されている。デューティ比制御手段3では、予め定められた負荷電流の目標電流値に対応している目標電圧値と、整流手段9の出力電圧とを比較し、両者が一致するように、入力電圧制御部1の矩形波パルスデューティ比を制御するように構成されている。

【0034】なお、図1の回路構成において、上記入力電圧制御部1、第1の発振器2、デューティ比制御手段3、圧電トランス駆動手段4、第2の発振器5、電流検出手段8及び整流手段9が、本発明における広い意味の電圧制御手段を構成しており、該電圧制御手段により、負荷を流れる電流が予め定められた目標電流値と略一致するように、圧電トランス6に入力される交流電圧の平均電圧が制御される。

【0035】次に、図1に示した圧電トランスインバータの動作を説明する。起動に際しては、電源から直流の入力電圧が入力電圧制御部1に与えられ、第1の発振器2で得られた発振周波数に基づいて入力電圧が矩形波交流電圧に変換される。この矩形波交流電圧が圧電トランス駆動手段4に与えられ、圧電トランス駆動手段4は、第2の発振器5の発振周波数に基づいてスイッチング動作を行い、入力された交流電圧をオン・オフする。

【0036】第1の発振器2の発振周波数が、第2の発振器5の発振周波数よりも高いため、圧電トランス駆動手段4内に設けられた誘導性素子により第1の発振器2の周波数成分が除去される。そのため、圧電トランス駆動手段4の出力電圧には、第1の発振器2の周波数成分はほとんど出力されず、第2の発振器5の周波数成分が主成分となる。

【0037】圧電トランス駆動手段4により圧電トランス6が駆動され、圧電トランス6の出力端、すなわち出力電極から出力される高電圧により、放電管7が点灯される。放電管7が点灯すると、放電管7に電流が流れ始め、すなわち負荷電流が流れる。

【0038】上記負荷電流が電流検出手段8により検出され、該負荷電流の大きさに応じた直流電圧が整流手段9により出力される。デューティ比制御手段3では、目標電流値に対応した一定の目標値電圧と、上記整流手段9から出力された直流電圧とが比較され、両者が一致するように、入力電圧制御部1の矩形波パルスデューティ比が制御される。従って、負荷電流が上述した目標電流値に制御され、放電管7の輝度が一定に制御される。

【0039】いま、例えば何らかの外乱により負荷電流が増加した場合を考える。負荷電流が増加すると、電流検出手段8及び整流手段9の電圧が高くなる。その結果、目標電圧値と、整流手段9の出力である直流電圧とに差が生じる。デューティ比制御手段3は、この差に応じて、矩形波パルスのデューティ比を小さくする。このデューティ比を狭くする方法については特に限定

されないが、例えば、入力電圧制御部 1 のスイッチング素子のオン時間比率を小さくし、入力電圧制御部 1 の平均電圧を低めることにより行い得る。

【0040】いま、圧電トランス駆動手段 6 は、第 2 の発振器 5 の発振周波数で決まる略一定の周波数で動作している。従って、圧電トランス駆動手段 4 に入力される電圧が低くなると、圧電トランス駆動手段 4 の出力電圧もそれに応じて低下する。従って、負荷電流が減少し、最初の外乱を抑制する方向に制御される。

【0041】上記とは逆に、外乱により負荷電流が減少した場合においても、逆方向の制御が加わることであり、同様に負荷電流を一定とすることができる。従って、図 1 に示した実施例の圧電トランスインバータでは、第 1 の発振器 2 で得られた発振周波数に基づいて入力電圧を矩形波交流電圧に変換する入力電圧制御部 1 を用い、デューティ比制御手段 3 により、目標電流値に応じた目標値電圧と、整流手段 9 から出力された直流電圧とを比較し、両者が一致するように入力電圧制御部 1 の矩形波パルスデューティ比を制御して、負荷電流が上記目標電流値に制御されている。よって、上記入力電圧制御部 1 として、整流平滑回路を有しない降圧チョップ回路を用いて構成することができるので、部品点数の低減及び損失の低減を図り得る。加えて、上記デューティ比制御手段 3 によるフィードバック制御が必要であるだけであるため、制御系の回路構成の簡略化を果たすことができる。

【0042】図 2 を参照して、上記実施例の圧電トランスインバータのより具体的な構成を説明する。図 2 に示す回路例では、入力電圧制御部 1 が、スイッチング素子としての P 型 FET 1 a と、環流素子としてのダイオード 1 b とを有する。すなわち、FET 1 a のソース電極が入力端子 IN に接続されており、ドレイン電極が圧電トランス駆動手段 4 に接続されている。また、FET 1 a のゲート電極が、デューティ比制御手段 3 に接続されている。他方、ダイオード 1 b は、FET 1 a のドレイン電極と圧電トランス駆動手段 4 との間の接続点 1 c とアース電位との間に、接続点 1 c に向かう方向が順方向となるように接続されている。

【0043】上記ダイオード 1 b は、FET 1 a がオフ状態とされたときに、圧電トランス駆動手段 4 のインダクタ電流の急変によりサージ電圧が発生しないようにするために設けられている。

【0044】圧電トランス駆動手段 4 は、2 個のインダクタ 4 a、4 b と、2 個の N 型 FET 4 c、4 d とを有する。すなわち、圧電トランス駆動手段 4 の入力端に対して並列にインダクタ 4 a、4 b が接続されている。各インダクタ 4 a、4 b の他端には、FET 4 c、4 d の各ドレイン電極がそれぞれ接続されている。FET 4 c、4 d のソース電極はアース電位に接続されている。FET 4 c、4 d のゲート電極は、第 2 の発振器 5 に接

続されている。

【0045】また、インダクタ 4 a と FET 4 c の第 1 の電極との間の接続点 4 e が圧電トランス駆動手段 4 の一方出力端を構成しており、インダクタ 4 b と FET 4 d の第 1 の電極との間の接続点 4 f が第 2 の出力端を構成している。すなわち、FET 4 c、4 d はプッシュプル回路を構成している。

【0046】圧電トランス 6 は、一対の入力電極 6 a、6 b と、出力電極 6 c とを有する。入力電極 6 a は、接続点 4 e に接続されており、入力電極 6 b が接続点 4 f に接続されている。従って、圧電トランス 6 は、圧電トランス駆動手段 4 により出力される交流電圧により駆動される。

【0047】圧電トランス 6 で昇圧された電圧が出力電極 6 c から出力される。出力電極 6 c には、放電管 7 の一端が接続されている。放電管 7 の他端には、電流検出手段 8 を構成している電流検出抵抗 8 a がアース電位との間に接続されている。

【0048】また、放電管 7 の他端と抵抗 8 a との間の接続点 8 b に、整流手段 9 が接続されている。整流手段 9 は、ダイオード 9 a、抵抗 9 b 及びコンデンサ 9 c を有する。ダイオード 9 a は、接続点 8 b 方向が逆方向となるようにその一端が接続点 8 b に接続されている。ダイオード 9 a の他端には、アース電位との間に、抵抗 9 b とコンデンサ 9 c が並列接続されている。

【0049】整流手段 9 の出力端には、デューティ比制御手段 3 が接続されている。デューティ比制御手段 3 は、2 個の比較器 3 a、3 b を有する。比較器 3 a の反転入力端に、整流手段 9 の出力が与えられるように、整流手段 9 の出力端に比較器 3 a の反転入力端が抵抗 3 c を介して接続されている。また、比較器 3 a の反転入力端と出力端との間にコンデンサ 3 d が接続されている。

【0050】他方、比較器 3 a の正転入力端には、外部から第 1 の調光信号入力端子 3 e を介して負荷電流目標値に応じた第 1 の調光信号が入力されるように構成されている。第 1 の調光信号は、負荷電流目標値に応じた直流電圧信号である。

【0051】比較器 3 a は、整流手段 9 から与えられた負荷電流に応じた直流の出力電圧 V_R を、上記第 1 の調光信号と比較し、電圧信号 V_c を出力する。比較器 3 a の出力が、比較器 3 b の反転入力端に接続されている。比較器 3 b の正転入力端には、第 1 の発振器 2 が接続されている。また、比較器 3 b の正転入力端には、第 2 の発振器 5 の入力も接続されている。

【0052】第 1 の発振器 2 は、周波数固定の発振器であり、例えば圧電セラミックスを用いた発振子等により構成することができる。比較器 3 b では、第 1 の発振器 2 の出力である三角波波形と、比較器 1 の出力波形とが比較され、比較器 3 a の出力電圧 V_c に応じたパルスデ

ューティー信号が出力される。このような構成は、パルス幅変調制御として、DC-DCコンバータのような技術分野で広く用いられている構成である。

【0053】また、本実施例では、第1の発振器2の出力が、4分周されて、第2の発振器5の出力とされている。すなわち、第2の発振器5は、D-フリップフロップ5a、5bを用いた分周回路により構成されている。この第2の発振器5の出力は、2位相出力であり、デューティー比を正確に50%とすることができるので、上述した圧電トランス駆動手段4におけるプッシュプル駆動のドライブに好ましく用いられる。

【0054】次に、図2に示した回路図を参照して、本実施例の圧電トランスインバータの動作を説明する。入力端子INから入力電圧が入力電圧制御部1に与えられる。この入力電圧制御部1における動作は図1に示した実施例の場合と同様である。すなわち、この入力電圧制御部1により、入力電圧が矩形波交流電圧に変換される。入力電圧制御部1の出力電圧 V_i の波形を図3に示す。

【0055】なお、図3は、種々の電圧信号の波形を示すために図示されているものであり、出力電圧 V_i は、出力電圧 V_i の波形よりも下方に描かれているゲート電圧 V_g よりも電圧が高いことを意味するものではない。

【0056】圧電トランス駆動手段4では、FET4c、4dのゲート電圧 V_g がハイになると、FET4c、4dがオン状態となり、インダクタ4a、4bに入力電圧制御部1から与えられた電流エネルギーが蓄積される。次に、FET4c、4dがオフ状態になると、蓄積された電流エネルギーが圧電トランス6の入力電極6a、6bにフライバックされる。この圧電トランス駆動手段4への出力電圧 V_d の波形を、図3に示す。

【0057】このような回路構成を用いることにより、圧電トランス駆動手段4の出力電圧 V_d の波高値は、入力電圧制御部1の出力電圧 V_i の平均すなわち平均電圧の約3倍の電圧に昇圧される。

【0058】また、本実施例では、入力電圧制御部1の動作周波数は、圧電トランス駆動手段4の動作周波数の4倍となるように設定されている。従って、圧電トランス駆動手段4のインダクタ4a、4bにより、入力電圧制御部1の出力電圧の周波数が平均化され、圧電トランス駆動手段4には該周波数成分はほとんど現れない。上記のようにして、圧電トランス6が駆動され、圧電トランス6の出力により放電管7が点灯される。

【0059】次に、図2に示す回路により、負荷電流がほぼ一定に制御されることを説明する。図2の回路において、何らかの外乱により負荷電流が過大になったとする。負荷電流は、電流検出手段8により電流-電圧変換され、負荷電流に応じた電圧 V_{FB} が得られる。

【0060】電圧 V_{FB} は、整流手段9によりある時定数で整流される。この時定数については、ダイオード9

a、抵抗9b及びコンデンサ9cの値を調整することにより調整され得る。整流手段9で整流されて、出力電圧 V_R が得られる。

【0061】いま、負荷電流が過大であるため、外部から加えられる第1の調光信号よりも整流手段9の出力電圧 V_R の方が大きくなる。従って、比較器3aは、整流手段9と比較器3aの反転入力端間に接続された抵抗3cと、比較器3aの出力-反転入力端間に接続されたコンデンサ3dによって定められる時定数で、比較器3aの出力電圧 V_c を低下させる。

【0062】比較器3aの出力電圧 V_c が、第2の比較器3bにおいて、第1の発振器2の出力 V_{OSC} すなわち三角波形と比較される。比較器3aの出力は、比較器3bの反転入力端に接続されているので、比較器3aの出力電圧が低くなる程、比較器3bの出力がハイ状態とされている比率が高くなる。

【0063】入力電圧制御部1のスイッチング素子はP型FET1aであり、そのゲート電圧がローのときにオン状態とされる。従って、比較器3bの出力がハイとされている比率が高くなると、FET1aがオフ状態とされている比率が高くなる。

【0064】従って、入力電圧制御部1の出力電圧 V_i の平均電圧が低下し、圧電トランス駆動手段4及び圧電トランス6の出力がそれぞれ低下し、負荷電流が小さくなり、元の外乱を抑制する方向に制御される。

【0065】次に、図3を参照して、第1の調光信号の電圧を変化させると、負荷電流が制御されることを説明する。図3において、時刻 $T=0$ の時点では、第1の調光信号電圧は高く保たれている。 $T=T_1$ の時点で、調光信号電圧が低下すると、それに応じて比較器3aの出力電圧 V_c 、入力電圧制御部1の出力電圧 V_i の平均電圧及び圧電トランス駆動手段4の出力電圧 V_d の波高値がそれぞれ低下し、負荷電流が低下する。そして、整流手段9の出力電圧 V_R の平均電圧が、第1の調光信号の電圧と一致するまで低下すると、制御が安定する。

【0066】上記のように、本実施例では、負荷電流が一定の目標電流値に制御され、かつ外部から印加する電圧、すなわち第1の調光信号の電圧を変化させることにより負荷電流の目標電流値を変化させることもできる。

【0067】また、本実施例では、フィードバック制御は、デューティー比制御手段3において行われているだけであり、従って、制御に必要な回路構成を簡略化することができる。また、入力電圧制御部1の出力が、直流ではなく交流であるため、平滑整流部品による不要損失を低減することができる。

【0068】本実施例では、第1の調光信号として、図3に示されているような直流電圧信号を用いた場合を示したが、調光信号として、デジタルの多ビット信号を用いてもよく、その場合には、デジタルデータをインバータ内部でD/A変換すればよい。

【0069】図4は、負荷抵抗100kΩのときの上記圧電トランス6の周波数ゲイン特性及び周波数変換効率特性を示し、図12は負荷抵抗が100kΩから10MΩに変化する場合の圧電トランスの昇圧特性を説明するための図である。

【0070】圧電トランス6の出力インピーダンスと負荷としての放電管7のインピーダンスマッチングが十分でない場合には、負荷電流が脈動したり、間欠的に放電管7が点灯したりすることが知られている。このような負荷電流脈動現象は、回路では制御することができない。従って、圧電トランス6の種類や動作条件をうまく選択することが望ましい。

【0071】本願発明者らのこれまでの検討結果によれば、放電管7を消灯した際、すなわち圧電トランス6の負荷が開放されている場合の昇圧比最大周波数、すなわち図12では57.5kHz以下で、かつ放電管7の通常点灯時の昇圧比最大の周波数、図12では56kHz以上の周波数を選択すれば、このような負荷電流脈動現象を最小に抑え得ることがわかった。

【0072】また、図4に示されているように、上記周波数領域では、圧電トランス6の変換効率が最も高くなる。従って、上記周波数領域において圧電トランスを駆動することが、圧電トランスインバータの特性を高める上で好ましいことがわかる。

【0073】もっとも、特開平9-107684号公報では、負荷電流を一定に制御するために駆動周波数を変化させていたので、上記周波数領域で動作させることを確保することができなかった。また、特開平7-220888号公報に記載の先行技術では、圧電トランスが自励発振しているため、負荷状態によらず、常に昇圧比最大の周波数で駆動されているにすぎない。

【0074】図4から明らかなように、圧電トランスの効率が最大である周波数は、昇圧比最大の周波数よりやや高い周波数領域にあり、従って、特開平7-220888号公報に記載の先行技術では、圧電トランス6の効率を最大とすることができないことがわかる。

【0075】これに対して、本実施例の圧電トランスインバータでは、圧電トランス駆動手段4の動作周波数は略一定とされており、製造時の調整により、上記周波数範囲、すなわち最適周波数領域で圧電トランス6を駆動することができる。従って、安定であり、かつ高効率の圧電トランスインバータを実現し得ることがわかる。

【0076】図5は、本発明の第2の実施例に係る圧電トランスインバータの回路構成を示す回路図である。第2の実施例の圧電トランスインバータでは、圧電トランス駆動手段14が、1個のN型FET14aと、オートトランス14bとを有する。すなわち、圧電トランス6を駆動する回路構成が、第1の実施例では2個のFETを用いたプッシュプル回路で構成されていたが、本実施例では、シングルエンド構成が採用されている。オート

トランス14bは、圧電トランス6の昇圧不足を補うために設けられており、オートトランス14bにより、圧電トランス駆動手段14に入力された交流電圧が予備昇圧される。

【0077】すなわち、オートトランス14bの一次巻線の一端が入力電圧制御部1に接続されており、該一次巻線の他端がFET14aのドレイン電極に接続されている。また、オートトランス14bの二次巻線の一端が圧電トランス6の入力電極6aに接続されている。二次巻線の他端は、FET14aのドレイン電極に接続されている。FET14aのソース電極がアース電位に接続されており、ゲート電極が第2の発振器5に接続されている。

【0078】上記のような構成を有する圧電トランス駆動手段14では、オートトランス14bが用いられており、オートトランス14bの寸法が大きくならざるを得ないため、小型化及び薄型化の面では、第1の実施例に比べて劣ることになる。しかしながら、部品点数を低減することができるため、圧電トランスインバータのコストを低減することができる。

【0079】もっとも、圧電トランス駆動手段の回路構成については、第1、第2の実施例に示したものに限定されず、適宜変形し得るものであることを指摘しておく。また、第2の実施例では、第1の発振器12の発振周波数の温度特性を補償するために、温度補償用コンデンサ12aが設けられている。すなわち、第1の発振器12とアース電位との間にコンデンサ12aが接続されている。従って、第1の発振器12の周囲温度に依存した発振周波数の変動を補償することができる。

【0080】他方、第2の発振器5については、第1の実施例と同様に構成されている。すなわち、第1の発振器12の出力信号を4分周することにより第2の発振器の出力が得られているので、第2の発振器の発振周波数もまた上記温度補償回路により温度補償されることになる。

【0081】なお、入力電圧制御部1は、その動作周波数が若干変化したとしても、特性に影響は現れないため、このような回路構成を採用することにより、第1の実施例と同様に発振器の数を低減することができる。

【0082】また、第1の実施例では、第1の調光信号の電圧を低くすると、すなわち負荷電流の目標電流値が小さくなるように設定すると、入力電圧制御部1のON-デューティーが狭くなり、入力電圧制御部1の平均出力電圧が小さくなるように制御される。しかしながら、PWM制御において、ON-デューティーがあまり狭くなるような領域では、制御系のゲインが大きくなりすぎ、安定性を確保することが難しくなる。従って、第1の調光信号電圧が低くなった場合には、圧電トランス6の昇圧ゲインが低下し、入力電圧制御部1のON-デューティーがあまり狭くなりすぎないようにすることが望

ましい。

【0083】そこで、第2の実施例では、第1の調光信号入力端子3eに抵抗R20の一端が接続されており、該抵抗R20の他端が、第1の発振器12と、周波数設定用の抵抗R21との間の接続点12bに接続されている。なお、この接続点12bの電圧を V_{OSC} とする。その他の構成については、第1の実施例と同様であるため、同様の部分については、同一の参照番号を付することにより、その説明は省略する。

【0084】次に、第2の実施例に係る圧電トランスインバータの動作を説明する。いま、第1の調光信号電圧が低くなると、抵抗R20を介して第1の発振器12の周波数設定抵抗接続点12bに流れ込む電流が減少する。他方、接続点12bにおける電圧 V_{OSC} は一定に保たれるため、第1の発振器12から抵抗R21に流出する電流が増加する。

【0085】すなわち、第1の発振器12から見ると、周波数設定抵抗R21が小さくなったかのように見え、発振周波数が高められる。第1の発振器12の発振周波数は、4分周され、第2の発振器5の出力とされる。従って、第2の発振器5の発振周波数も高められることになる。

【0086】ところが、本発明においては、前述したように、周波数が高くなると、圧電トランス6の昇圧ゲインが低下するような周波数領域内の周波数を用いているため、第2の発振器5の発振周波数が高くなると、圧電トランス6の昇圧ゲインが低下し、入力電圧制御部1のON-デューティはあまり狭くならない。

【0087】逆に、第1の調光信号電圧が上昇した場合には、負荷電流が増加し、さらに第2の発振器5の発振周波数が低下するため、圧電トランス6の昇圧ゲインが大きくなる。従って、やはり、入力電圧制御部1のON-デューティの変化幅が抑制される。

【0088】このように、第1の調光信号電圧の大きさに応じて、圧電トランス6のゲインを大まかに調整しておき、そのばらつき分のみを、入力電圧制御部1で制御することにより、制御系の安定性を高めることができ、ひいては信頼性を確保することができる。

【0089】本実施例においても、フィードバック制御は、デューティ比制御手段3のみであるため、第1の実施例と同様に、制御系回路部分を簡略化することができる。

【0090】図6は、本発明の第3の実施例の圧電トランスインバータを示す回路図である。本実施例の圧電トランスインバータでは、圧電トランス駆動手段24が、第1の実施例と同様に、2個のFET4c、4dを有するプッシュプル回路構成を有する。ただし、コイル4a、4bに代えて、絶縁トランス24a、24bが用いられている。すなわち、絶縁トランス24a、24bの一次巻線の一端が、入力電圧制御部1に接続されてお

り、該一次巻線の他端が、それぞれ、FET4c、4dのドレイン電極に接続されている。また、絶縁トランス24aの二次巻線の一端が圧電トランス6の入力電極6aに接続されており、他端がアース電位に接続されている。また、絶縁トランス24bの二次巻線の一端は圧電トランス6の第2の入力電極6bに接続されており、他端がアース電位に接続されている。

【0091】本実施例では、絶縁トランス24a、24bで入力電圧制御部1から与えられる入力電圧が予備昇圧され、圧電トランス6で本昇圧される。従って、大出力の圧電トランスインバータを構成することができる。

【0092】また、デューティ比制御手段23においては、比較器3aの正転入力端に、第1の調光信号入力端子3eが接続されているが、該第1の調光信号電圧入力端子3eと比較器3aの正転入力端との間に、ダイオードD2及び抵抗R10が挿入されている。さらに、抵抗R10と、正転入力端との間の接続点23aとアース電位との間に抵抗R10'が接続されている。

【0093】上記ダイオードD2は、抵抗R10方向が順方向となるように接続されている。他方、整流手段9は第1の実施例と同様に構成されており、ダイオード9aを有する。本実施例では、上記ダイオードD2がデューティ比制御手段23に接続されているので、ダイオード9aの順方向電圧降下の温度特性がダイオードD2により温度補償される。

【0094】また、本実施例では、第2の発振器25が、第1の発振器2とは別の発振器を用いて構成されている。従って、第2の発振器25の発振周波数は、第1の発振器2と独立に定められる。

【0095】また、第2の発振器25と、アース電位との間にコンデンサ25bが接続されている。また、第2の発振器25とアース電位との間に、抵抗25cが接続されている。さらに、抵抗25cと第2の発振器25との間の接続点25dとアース電位との間に抵抗25e及びPTCサーミスタ素子25fが接続されている。さらに、抵抗25gが、抵抗25eとPETサーミスタ素子25fとの間の接続点とアース電位との間に接続されている。

【0096】上記コンデンサ25b、抵抗25c、25e、25g及びサーミスタ素子25fは、第2の発振回路25aの温度補償を行うために接続されている。この温度補償回路については、後述の図7(d)に示す構造と同一であるため、図7を参照して、後程詳細に説明する。

【0097】本実施例では、第2の発振器25が、第1の発振器2とは別の第2の発振回路25aを用いて構成されていたが、第1の実施例と同様に、第1の発振器2の出力を分周することにより第2の発振器を構成してもよい。

【0098】さらに、本実施例では、第3の発振器26

a が用いられており、第 3 の発振器 26 a が第 3 の比較器 26 b の正転入力端に接続されている。第 3 の比較器 26 b の反転入力端は、第 2 の調光信号入力端子 26 c に接続されている。第 3 の発振器 26 a は、100～1000 Hz の三角波を生成する。この三角波と、外部から入力される第 2 の調光信号電圧とが、比較器 26 b で比較され、100～1000 Hz の矩形波パルスが生成される。

【0099】この矩形波パルスが、圧電トランス駆動手段 24 の FET 24 c、24 d のゲート電極に接続されている。すなわち、上記矩形波パルスにより、FET 24 c、24 d のゲート電極を強制的にアース電位に落とすことにより、100～1000 Hz 毎に放電管 7 を点灯あるいは消灯させることが可能とされている。

【0100】さらに、第 2 の調光信号の電圧を変化させると、放電管 7 の点灯時間比率を変化させることができるため、バースト調光を実現することができる。なお、本実施例では、第 2 の調光信号が直流電圧である場合を示したが、100～1000 Hz の矩形波、すなわち比較器 26 b の出力と同様の信号を、第 2 の調光信号として外部から入力してもよい。

【0101】また、本実施例では、デューティ比保持手段 27 が整流手段 9 に接続されている。デューティ比保持手段 27 は、スイッチング素子としての PNP 形トランジスタ 27 a を有する。トランジスタ 27 a のエミッタが基準電圧に接続されており、コレクタがダイオード 27 b の一端に接続されている。ダイオード 27 b は、トランジスタ 27 a に向かう方向が逆方向となるように接続されている。ダイオード 27 b の他端は抵抗 R 11 に接続されている。抵抗 R 11 は、整流手段 9 の出力端に接続されている。

【0102】また、トランジスタ 27 a のベース電極には、抵抗 R 27 が接続されている。抵抗 R 27 の他端は、スイッチング素子としての NPN 形トランジスタ 27 c のコレクタに接続されている。トランジスタ 27 c のエミッタがアース電位に接続されており、ベース電極が抵抗 R 27 d を介して比較器 26 b の出力端に接続されている。

【0103】上記デューティ比保持手段 27 の動作を、デューティ比保持手段 27 が設けられていない場合に生じる問題を説明することにより明らかにする。バーストオフの期間、すなわち放電管 7 が消灯している期間には、負荷電流が 0 となるので、整流手段 9 の出力も 0 となる。このため、バーストオフの期間中、比較器 3 a の出力電圧が高くなり、入力電圧制御部 1 のオンデューティが広がる。このため、バーストオフからバーストオンに切り替わった際には、入力電圧制御部 1 の出力電圧の平均電圧が高くなり、放電管 7 に過大な電流が流れ、調光できないという問題が生じる。

【0104】本実施例では、バーストオン時に、整流手

段 9 の出力に発生している電圧と略同一の電圧が、バーストオフの期間にも、抵抗 R 11 を介してデューティ比保持手段 27 により整流手段の出力に注入される。従って、比較器 3 a の出力電圧、ひいては入力電圧制御部 1 のオンデューティの変動を抑制することができる。

【0105】上記のように、第 3 の実施例の圧電トランスインバータでは、第 2 の調光電圧信号を入力し、バースト調光を行うことができるので、第 1 の実施例に比べて、より広い範囲で調光することができる。また、上記デューティ比保持手段 27 を備えているので、バーストオフ期間のデューティ比の変化を抑制することができる。また、上記デューティ比保持手段 27 は、整流手段 9 の出力に適当な電圧を注入するように構成されているにすぎないため、安価にバーストオフ期間のデューティ比の変化を抑制することが可能とされている。

【0106】第 3 の実施例では、第 2 の発振器 25 にコンデンサ 25 b などが接続されて第 2 の発振器 25 の温度補償が行われていたが、この温度補償及び周波数設定方法については、適宜変形することができる。

【0107】このような第 2 の発振器における周波数設定方法の変形例を図 7 (a)～(d) に示す。図 7

(a) では、第 2 の発振器 25 に、外付けのコンデンサ C 1 及び抵抗 R 1 が接続されている。ここでは、第 2 の発振器 25 から抵抗 R 1 に流れ出す電流 I_{OSC} に対応した電流値で、コンデンサ C 1 が充放電する。従って、それによって一定の周波数が発生される。

【0108】すなわち、抵抗 R 1 の抵抗値を小さくすれば、電流 I_{OSC} が大きくなり、コンデンサ C 1 の充放電が速くなり、発振周波数が高められる。また、コンデンサ C 1 の静電容量を小さくすると、同じ電流 I_{OSC} でコンデンサ C 1 が充放電したとしても、コンデンサ C 1 の両端の電圧が速く上昇するため、やはり発振周波数が上昇する。

【0109】ところで、周囲温度が変化すると、第 2 の発振器内部の部品の温度特性により、電圧 V_{OSC} が変化し、発振周波数が変化するおそれがある。この発振周波数の変化の問題点を、図 13 を参照して説明する。

【0110】図 13 は、第 2 の発振器における発振周波数変化率と周囲温度との関係を示す図であり、○は温度補償を行っていない場合の結果を示す。周波数固定型の発振器では、周囲温度が上昇すると発振周波数が上昇する特性が見られる。すなわち、周囲温度が上昇するにつれて、圧電トランス 6 の昇圧ゲインが低下することになる。このような発振器を第 2 の発振器 25 として用いると、例えば放電管 7 として冷陰極管を用い、LCD パネルを一定の負荷電流で点灯させた場合、入力電圧制御部 1 の平均出力電圧は図 14 に示す通りとなる。

【0111】図 14 に○の記号で示されているように、入力電圧制御部 1 の出力電圧もまた、周囲温度が高くなるにつれて大きく変化することになる。すなわち、温度

10

20

30

40

50

補償を行わないと、圧電トランス 6 の昇圧ゲイン低下を補うために、周囲温度が高くなるにつれて、入力電圧制御部 1 の平均出力が上昇することがわかる。

【0112】本実施例では、周囲温度変化に伴い、入力電圧制御部の平均出力変化率が 0.8~1.5 の範囲で変化しており、従って圧電トランスインバータの設計が困難となることがわかる。

【0113】ところが、図 13 及び図 14 に●の記号で示すように、第 2 の発振器 25 の発振周波数温度特性を温度補償すれば、発振周波数の温度依存性が低減され、
10 入力電圧制御部 1 の平均出力電圧の温度依存性をほぼ平坦化し得ることがわかる。

【0114】なお、図 13 では、温度補償により発振周波数が温度上昇に伴い若干上昇しているのに対し、図 14 では、温度補償が行われると、入力電圧制御部 1 の平均出力が温度上昇にもかかわらずほぼ一定となる理由は、LCD パネルの管電圧が高温で低下するため、高温ほど昇圧ゲインが小さくてよいことによる。

【0115】従って、図 13 に示すように、第 2 の発振器 25 の発振周波数が正の温度特性を示す場合には、図 7 (b) に示すように、コンデンサ C₁ に代えて、正の容量温度特性を有する温度補償型コンデンサ C_{1A} を用い
20 ればよい。このように、正の容量温度特性を有する温度補償型のコンデンサ C_{1A} を用いることにより、上記のように入力電圧制御部 1 の平均出力電圧の温度依存性を抑制し得ることがわかる。

【0116】また、図 7 (c) に示すように、外部基準電圧と、発振周波数設定抵抗 R₁ と第 2 の発振器 25 との間の接続点との間に、負特性サーミスタ TC 及び抵抗 R₂ を接続し、かつ負特性サーミスタ TC に並列に抵抗 R₃ を接続し、外部基準電圧から第 2 の発振器 25 の抵抗
30 接続端子に電流を流し込み、電流値が高温となるほど小さくなるようにして温度補償を行ってもよい。

【0117】さらに、図 7 (d) に示すように、第 2 の発振回路の周波数温度特性が負の温度特性である場合には、抵抗 R₁ に並列に抵抗 R₂' 及び負特性サーミスタ素子 TC' を基準電位との間に接続し、高温になるほど第 2 の発振回路の抵抗接続端子から流れ出す電流を多く
40 すればよい。

【0118】図 7 (c) 及び (d) のいずれにおいても、抵抗 R₁、R₂、R₃ 及び負特性サーミスタ素子 TC あるいは抵抗 R₁、抵抗 R₂'、抵抗 R₃ 及び負特性サーミスタ素子 TC' の各抵抗値を適宜選ぶことにより、常温における発振周波数は図 7 (a) の場合と同一とすることができる。また、上述した図 7 (c) 及び (d) に示した温度補償回路では、負特性サーミスタを用いたが、回路構成を変更し、正特性サーミスタを用いてもよい。

【0119】上述したように、第 2 の発振器 25 の温度特性などの様々な点を考慮し、種々の回路で温度補償を
50

実現することができる。また、これらの温度補償回路を用いることにより、第 2 の発振器 25 の発振周波数の温度特性を所望の特性とすることができ、結果として入力電圧制御部 1 の平均出力電圧の温度依存性を抑制することができる。入力電圧制御部 1 の出力の温度依存性が大きい場合には、常温では余裕度を見て出力電圧を低く設計しなければならないので、圧電トランス 6 として、昇圧比が過大なものを用いる必要があり、経済性が低下する。しかしながら、本実施例のように、上記温度補償回路を用いれば、このような問題を解決することができ、
10 圧電トランスインバータのコストを低減することができる。

【0120】図 8 は、本発明の第 4 の実施例に係る圧電トランスインバータを説明するための回路図である。第 3 の実施例の圧電トランスインバータでは、バーストオフを実現するために、圧電トランス駆動手段 24 のスイッチング素子としての FET 24a、24b をオフ状態としていたが、本実施例では、OR ゲート 31 を用いることにより、入力電圧制御部 1 の駆動が停止されるよう
20 に構成されている。

【0121】すなわち、本実施例では、第 3 の比較器 26b の出力端が、OR ゲート 31 の一方入力端に接続されている。OR ゲート 31 の他方入力端には、第 2 の比較器 3b の出力端が接続されている。OR ゲート 31 の出力端は入力電圧制御部 1 の FET 1a のゲート電極に接続されている。その他の点については、第 3 の実施例と同様であるため、同一部分については、同一の参照番号を付することにより詳細な説明は省略する。

【0122】OR ゲート 31 は、比較器 3b の出力または比較器 26b の出力のいずれかがハイの状態にあるときに FET 1a の駆動を停止する信号を FET 1a に与える。バーストオフの場合には、OR ゲート 31 から出力される停止信号により、FET 1a の動作が停止される。このように、バーストオフを実現するための構成については、OR ゲート 31 を用いた回路など、適宜変形
30 することができる。

【0123】また、第 3 の実施例では、バーストオフになる瞬間に、絶縁トランス 24a、24b のインダクタンス分に蓄えられたエネルギーがサージ電圧となり、FET 24c、24d のドレインソース間に発生する。従って、このようなサージ電圧に対して FET 24c、24d を保護するために、ツェナーダイオード 24f、24g を接続しなければならなかったのに対し、第 4 の実施例では、上記のようなサージ電圧が発生しない。従って、回路構成をより簡略化することができると共に、信頼性をより一層高め得る。

【0124】図 9 は、本発明の第 5 の実施例に係る圧電トランスインバータを説明するための回路図である。本実施例では、第 2 の比較器 33b が、3 つの入力端、すなわち 2 つの反転入力端と 1 つの正転入力端とを有す
50

る。また、この2つの反転入力端のうち一方の反転入力端にデッドタイム生成回路31が接続されている。

【0125】さらに、第3の比較器26bの出力端が、整流手段9に接続されているだけでなく、デッドタイム生成回路31にも接続されている。また、デッドタイム生成回路は、入力端子INにも接続されている。

【0126】デッドタイム生成回路31は、デッドタイム機能を果たすために設けられている。ここで、デッドタイム機能とは、管電流の値に応じた出力電圧 V_{FB} の値に依存せずに、第2の比較器33bの出力である矩形波パルスデューティ比が一定以上の値にならないように制限する機能をいうものとする。

【0127】すなわち、本実施例では、デッドタイム生成回路31からの出力信号が第2の比較器33bに入力され、それによって第2の比較器33bの出力パルスデューティ比を制御し得るように構成されている。

【0128】いま、デッドタイム機能を有しない場合には、以下のような問題が生じる。例えば、入力電圧が7〜21Vのような仕様の圧電トランスインバータでは、最大定格出力時に入力電圧制御部1の平均出力電圧が6.5V程度となるように設計すると、経済的である。この場合、負荷電流の一定制御が正常に動作している状態、すなわちフィードバック制御時においては、入力電圧の値によらず、入力電圧制御部1の平均出力電圧は6.5Vに維持される。このとき、圧電トランス駆動手段4の準E級動作の昇圧効果により、圧電トランス駆動手段の出力電圧は $6.5V \times 3 = \text{約} 20V$ ピークの電圧となる。従って、圧電トランス駆動手段のFET24c, 24dとしては、耐圧が60V程度のものを用いることができる。

【0129】次に、起動直後のように、フィードバック制御が動作していない期間を考える。例えば、21Vの電圧を入力した状態で、圧電トランスインバータを起動した場合を考えると、起動直後には負荷電流が0であるため、第1の実施例では、比較器3a, 3bは、入力電圧制御部1のデューティ=100%となるように制御を行う。すると、入力電圧制御部1の平均出力電圧が21Vとなり、圧電トランス駆動手段4のFETには $21V \times 3 = 63V$ ピークの電圧が加わる。従って、耐圧が60VのFETを用いることができないので、寸法、性能及びコスト面で不利である、より高い耐圧のFETを用いなければならない。

【0130】これに対して、本実施例では、デッドタイム生成回路31に、入力電圧端子INから入力電圧が印加され、デッドタイム生成回路31の出力電圧が入力電圧に応じて変化するように構成されている。本実施例の入力電圧制御部1の平均出力電圧を図15に示す。

【0131】図15において、一点鎖線Xはフィードバック制御時の入力電圧制御部1の平均出力電圧を示し、その場合には、入力電圧の変動に関わらず、入力電圧制

御部1の平均出力電圧がほぼ一定であることがわかる。これに対して、実線Yで示すように、フィードバック制御が外れた場合であって、デッドタイム回路を有しない場合には、入力電圧が高くなるにつれて、入力電圧制御部1の平均出力電圧が高くなることがわかる。

【0132】ところが、本実施例では、破線Zで示すように、上記デッドタイム回路31が設けられているので、入力電圧が高くなった場合であっても、入力電圧制御部1の平均出力電圧がほぼ一定となり、12V以下に抑制される。従って、上記デッドタイム回路31を用いることにより、耐圧が60VのFETを用いて圧電トランス駆動手段を構成し得ることがわかる。

【0133】さらに、本実施例では、バーストオフを実現するためにも、上記デッドタイム機能が用いられている。比較器26bの出力が、デッドタイム生成回路31に与えられる。比較器26bの出力がHとなったとき、フィードバック電圧の値によらず、比較器33bの出力のデューティ=0%となるように設定しておく。これにより、入力電圧制御部1の出力が0となり、バーストオフを実現することができる。

【0134】バーストオフの期間には、トランジスタQ27aもまた同時にオン状態となるため、抵抗R10の抵抗値を抵抗R11の抵抗値と等しくし、かつ抵抗R10'の抵抗値と抵抗9bの抵抗値を等しくしておくことにより、第3, 第4の実施例の場合と同様に、バーストオフ期間に入力電圧制御部のオンデューティが過大になる問題を防止することができる。すなわち、上記デッドタイム制御機能を用いることにより、より簡単な回路構成でバースト調光を実現することができる。

【0135】さらに、本実施例では、短絡・保護回路32が設けられている。短絡・保護回路32は、第1の比較器3aの出力端に接続されており、フィードバック電圧を受け得るように構成されている。

【0136】上記短絡・保護回路32は、例えば汎用PWMICのタイマーラッチ回路などにより構成することができる。短絡・開放保護回路32の動作につき説明する。何らの理由で、整流手段9の出力電圧、すなわちフィードバック電圧(V_{FB})がHとなる。 V_{FB} が予め定められた一定電圧を上回ると、短絡・保護回路32の時定数設定端子に接続したコンデンサC102に充電し始め、時定数設定端子の電圧が一定電圧以上になると、圧電トランスインバータ全体の動作が停止される。

【0137】圧電トランスの出力が開放状態となったり、GNDに短絡した場合のような異常事態においては、負荷電流が0となり、かつ整流手段9の出力も0となる。従って、本機能を用いることにより、異常事態が一定時間以上継続した場合には圧電トランスインバータ動作を停止する、回路保護動作を実現することができる。

【0138】また、圧電トランスインバータでは、暗黒

点灯（完全に真っ暗な場所では冷陰極管が点灯し難い状態）対策として、出力開放の場合にはすぐに動作を停止せず、点灯可能電圧以上の電圧を一定時間出力し続ける機能が求められる。この「一定時間」は、ユーザーやセットの使用状況により左右され、具体的には、1秒程度から無限大時間まで大きく変化する。従って、この一定時間については外部から可変し得ることが望ましい。

【0139】本実施例では、コンデンサC102としては、必要最低限の容量が接続されており、さらに時定数設定端子には、外部コンデンサ接続端子が接続されている。外部コンデンサ接続端子に、必要に応じてコンデンサを接続し、該コンデンサの容量定数を変えることにより、上記一定時間の調整を容易に行うことができる。

【0140】なお、上述した異常時の保護動作は、本発明に係る圧電トランス駆動周波数を略固定したことにより、初めて実現し得るものであることを説明する。上述した方法で保護動作を行うと、必然的に、圧電トランス6の出力開放異常も短絡異常も同一の時定数で保護されることになる。前述したように、開放異常の場合には、異常発生から保護動作まで1秒以上程度の遅延時間が要求されることが多い。従って、短絡異常時にも、1秒以上経過した後に、初めて保護動作が行われる。

【0141】圧電トランス6の出力を短絡した場合には、通常よりも低い周波数に共振周波数（圧電トランス6の入力インピーダンスが最小となる周波数）が存在し、図4に示した周波数-ゲイン特性の圧電トランスの場合には、54~55kHzで入力インピーダンスが最小となる。この周波数で圧電トランス6を駆動すると、非常に大きなエネルギーが入力されることになり、圧電トランス6が破断するような問題が発生する。

【0142】しかしながら、特開平7-220888号公報に記載の先行技術では、圧電トランス6は常に共振周波数で駆動されるため、トランスの破断は免れ得ない。また、特開平9-107684号公報に記載の先行技術においても、圧電トランス6の出力が短絡されると、負荷電流が目標値に達しないため、周波数掃引手段が圧電トランスの駆動周波数を低下させることになる。そのため、入力インピーダンスが最小である共振周波数を通過し、より低い周波数に移動し、異常保護の遅延時間が1秒以上と大きいので、やはり圧電トランス6の破断が生じる。

【0143】これに対して、本発明に係る圧電トランスインバータでは、圧電トランスの駆動周波数が固定されているので、短絡異常発生時に共振周波数では動作しない。従って、圧電トランス6への入力エネルギーが制限されて1秒以上短絡状態が継続したとしても、圧電トランス6の破断には至らない。

【0144】次に、出力開放時の保護について説明する。出力開放時にも、短絡・開放保護回路32が動作するまでの一定期間は電圧が出力され続ける。いま、圧電

トランス6の動作周波数（第2の発振器の発振周波数）が固定であり、かつ図12に示したように開放時のゲインの大きな領域で使用しているため、トランスの出力が過大に大きくなり、不要な放電やトランスの破壊といった問題が生じるおそれがある。

【0145】そこで、本実施例では、抵抗R110、R111により、圧電トランス6の出力が分圧され、その分圧電圧でトランジスタQ101が駆動される。従って、開放時の出力電圧が抑制される。

【0146】圧電トランス6の出力が、抵抗R110、R111の分圧比で定められる一定電圧以上に上昇すると、トランジスタQ101がオン状態となり、抵抗R109の片端がアース電位に接続される。その結果、第1の発振器2の抵抗接続端子から流出する電流が大きくなるため、第1の発振器2の発振周波数が高くなる。従って、高くなった発振周波数を4分周することにより得られたトランス駆動周波数も高くなる。

【0147】図12に示したように、駆動周波数を高くすると、圧電トランスのゲインは減少し、出力電圧が低下する。すなわち、圧電トランス出力開放異常時には、抵抗R110、R111の分圧比で定められる一定電圧に出力電圧が維持され、不要な放電や圧電トランスの破断といった問題を防止することができる。

【0148】さらに、分圧接続点とトランジスタ101のベース電極との間には、ダイオードD3及び抵抗R112が直列に接続されており、かつ抵抗R112とダイオードD3との間の接続点とアース電位との間には、コンデンサC103が接続されている。また、トランジスタ101のコレクタ電極が、抵抗R109及びコンデンサC101内の接続点に接続されている。抵抗R109及びコンデンサC101は、接続点12bとアース電位との間に接続されている。

【0149】定常状態では、第1の発振器2の設計により定められる一定電圧 V_{OSC} がコンデンサC101の両端に印加される。しかしながら、起動前には、コンデンサC101に印加される電圧は0である。従って、起動時の一定期間のみ、コンデンサC101を充電する電流が抵抗R109を流れる。よって、起動時には定常時の周波数よりも高い周波数から低周波数側に掃引しながら起動・点灯することになる。この機能を有するため、起動時に負荷に大きな電流が流れるという問題を解決することができる。

【0150】図10は、本発明の第6の実施例に係る圧電トランスインバータを説明するための回路図である。本実施例は、出力開放時の保護動作以外の点では図9と同様であるため、出力開放保護にかかわる部分以外については説明を省略する。

【0151】図10では、トランジスタQ101のコレクタは抵抗R113の片端に接続され、抵抗R113の他端はトランジスタQ102のベースに接続される。ま

た、Q102のエミッタは基準電圧に接続され、コレクタはデッドタイム生成回路31に接続される。デッドタイム生成回路31の入力端子は、トランジスタQ102のコレクタ電圧がハイ、つまり基準電圧になるとデューティ0%になるように設定されているものとする。

【0152】圧電トランスインバータの出力が何らかの要因で開放、つまり無負荷になった場合には、図9の場合と同様に、圧電トランスの出力電圧が上昇していく。それに伴い、D3のアノード電圧が上昇し、D3が導通してトランジスタQ101がオンする。するとR113を介してトランジスタQ102がオンし、デッドタイム生成回路にはハイ信号が入力される。これにより入力電圧制御回路のデューティが0%となり、圧電トランスへの入力電圧が低下するために圧電トランス出力電圧も低下する。つまり初期の圧電トランス出力電圧の過上昇が抑制できる。圧電トランス出力電圧が低下するとトランジスタQ102、Q102がオフするため、再び入力電圧制御回路のデューティは広がり始める。このように入力電圧制御回路の平均出力電圧はオン/オフを繰り返しながら、過大電圧が出力されることを防止する。

【0153】上記説明においては、トランジスタQ102が完全にオンし、入力電圧制御回路スイッチング素子のデューティが0%になる例について説明したが、必ずしもデューティが0%まで低下する必要はない。つまりトランジスタQ102、Q102ともにリニアな領域（ハーフオンの領域）で使用して、デッドタイム生成回路への入力電圧が0V以上、基準電圧以下の中間の電圧になるように制御すれば、入力電圧制御回路の出力は完全に0にはならず、略一定の電圧、つまり圧電トランス出力電圧が目標開放電圧と常に一致するような電圧に保持することもできる。いずれの場合にも、点灯可能電圧以上の電圧を継続して出力しながら、かつ過大な電圧が発生しないように保護動作することが可能となる。

【0154】図11は、本発明の第7の実施例に係る圧電トランスインバータを説明するための回路図である。本実施例では、圧電トランス駆動手段54が、2個のFET54a、54bを用いたハーフブリッジ構成を有する。すなわち、P型のFET54aのソース電極に入力電圧制御部1の出力が与えられるように接続されている。また、FET54aのドレイン電極が、FET54bのドレイン電極と共通接続されている。FET54bのソース電極がアース電位に接続されている。さらに、FET54a、54bのゲート電極が共通接続されて第2の発振器25に接続されている。

【0155】FET54aのドレイン電極と、FET54bのドレイン電極とを接続してなる接続点54cに、インダクタ54dの一端が接続されている。インダクタ54dの他端は圧電トランス6の第1の入力電極6aに接続されている。また、インダクタ54dの他端と圧電トランス6の入力電極6aとの間の接続点54eとア

ス電位との間にコンデンサ54fが接続されている。すなわち、FET54a、54bを用いたハーフブリッジ構成の駆動回路の出力に、インダクタ54dとコンデンサ54fとからなるLCローパスフィルタが接続されている。従って、上記LCローパスフィルタにより、高周波成分が除去された出力電圧が圧電トランス6に印加される。

【0156】ここで、コンデンサ54fと、圧電トランス6の入力容量との合成容量と、インダクタ54dのインダクタンス値で決定されるLCフィルタの共振周波数を、圧電トランス6の駆動周波数に略一致させると最適な設計となる。なお、圧電トランス駆動手段の回路構成については、特に限定されず、前述してきた各実施例の圧電トランス駆動手段の回路構成を採用してもよく、その場合においても、上記LCローパスフィルタを接続することにより、圧電トランスに不要高周波成分を除去した電圧を圧電トランスに印加することができる。

【0157】本実施例では、入力電圧が抵抗R201及び抵抗R202に分圧されており、抵抗R201、R202の間の接続点すなわち分圧点51に、ツェナーダイオードVzが接続されており、ツェナーダイオードVzの他端が、トランジスタQ201のベース電極に抵抗R52を介して接続されている。コンデンサQ201のコレクタ電極は抵抗R203を介して第2の発振器25の周波数設定抵抗端子に接続されており、トランジスタQ201のエミッタ電極がアース電位に接続されている。

【0158】従って、入力電圧が、抵抗R201、R202で分圧され、分圧された電圧がツェナーダイオードVzのツェナー電圧よりも大きい場合には、ツェナーダイオードVzが導通する。その結果、トランジスタQ201がオン状態となり、第2の発振器25の周波数が高められる。逆に、入力電圧が低下し、トランジスタQ201がオフ状態となると、抵抗R203がアース電位から切り離されることになる。従って、第2の発振器の発振周波数が低下する。この機能を用いることにより、定常使用状態では高効率の周波数領域を使用しつつ、入力電圧が低下した特殊な状況においても点灯を維持することができる。これを、以下において説明する。

【0159】いま、定格入力電圧が7~20V、バッテリー駆動時の入力電圧が10.8Vのノートパソコン用の用途を例にとり説明する。図4から明らかなように、圧電トランス6の効率が最大となる周波数は、ゲインが最大となる周波数よりもやや高周波数側に位置している。入力電圧が10.8Vのときには、例えば57.5kHzの効率最高の周波数を用いるものとする。このとき、圧電トランス6の昇圧ゲインは34dBであり、最大ゲインの39dBに対し、5dBのゲインの余裕がある。

【0160】いま、非常にまれなケースとして、入力電圧が7Vに低下した場合を考える。周波数が57.5k

Hzに固定されている場合には、圧電トランス6のゲインが固定されるため、入力電圧制御部1のオンデューティを増加し、入力電圧制御部1の平均出力電圧をある値に維持しなければならない。何らかのばらつきにより、入力電圧制御部1の必要出力電圧が8Vとすると、矩形波パルスデューティは100%となり、SCP機能が動作し、インバータは停止することになる。

【0161】しかしながら、抵抗R201、R202、R203の抵抗値を適当に選択し、入力電圧<9VでトランスQ201がオフ状態とされ、発振周波数が56.5kHzに移動するように設定しておくと、入力電圧9V以下では、圧電トランス6のゲインが38dBと大きくなる。このため、負荷電流を維持するに必要な入力電圧制御部1の平均電圧が低下し、入力電圧が7Vでも動作が停止しないようにすることができる。

【0162】発振周波数が56.6kHzでは、57.5kHzの場合よりも圧電トランスの効率はやや低くなるが、入力電圧<9Vという状況は、実使用状態では、減多に発生しない。従って、この状態で効率がやや低いことは、実使用上問題とはならない。

【0163】このように、入力電圧が所望の一定値を下回った場合に、第2の発振器の発振周波数を通常の周波数よりもやや低周波数側の別の周波数に変更する回路を追加することにより、広い入力電圧範囲で点灯を維持しつつ、かつ最も使用頻度が高い入力電圧時には、圧電トランスの効率が最高となる周波数を用いて圧電トランスを駆動することができる。

【0164】

【発明の効果】本願の第1の発明に係る圧電トランスインバータでは、圧電トランスの出力電極に負荷が接続され、負荷を流れる電流が予め定められた目標電流値と略一致するように、電圧制御手段により制御されるが、該電圧制御手段が、圧電トランスに入力される交流電圧の平均電圧を制御するように機能するものであるため、1つのフィードバック制御を用いて負荷電流を安定化でき、従って制御系回路構成を簡略化かつ低コスト化することができる。また、上記電圧制御手段として、スイッチングトランジスタ及び環流素子を有する入力電圧制御手段を用い、負荷を流れる電流が目標電流値と略一致するように入力電圧制御手段のデューティ比が制御される場合には、スイッチングトランジスタ及び環流素子からなる降圧チヨッパ回路が構成されるが、降圧チヨッパ回路において平滑整流用のインダクタ及びコンデンサを必要としないので、部品点数を低減することができる。また、入力電圧制御手段のデューティ比を制御するだけでよいから、上述したように、制御系の簡略化を図ることができ、回路構成の簡略化及び低コスト化を図ることができる。

【0165】本願の第2の発明に係る圧電トランスインバータでは、同様に、入力電圧制御手段が、スイッチン

グトランジスタ及び環流素子を有し、平滑・整流手段を必要としないので、平滑・整流手段で生じる無駄な損失を無くすることができる。

【0166】また、負荷電流検出手段により負荷を流れる負荷電流が検出され、該負荷電流が略一定の目標電流値となるように、デューティ比制御手段により入力電圧制御手段の矩形波パルスデューティ比が制御されるので、第1の発明と同様に、1つのフィードバック制御を用いるだけで、負荷電流の安定化を図ることができる。すなわち、制御系を簡略化することができ、安価でかつ信頼性に優れた圧電トランスインバータを提供することができる。

【0167】上記入力電圧制御手段及び圧電トランス駆動手段は、それぞれ、動作周波数を決定する第1、第2の発振器により動作周波数が決定される。この場合、第1の発振器の周波数を分周する分周回路がさらに備えられており、第1の発振器の周波数を分周した信号が第2の発振器の出力とされている場合には、第1、第2の発振器を単一の発振回路を用いて構成することができ、回路構成の簡略化を図ることができる。

【0168】第2の発振器の発振周波数が、圧電トランスの出力が無負荷の状態の場合に、圧電トランスの昇圧比が最大となる周波数以下であり、圧電トランスに負荷を接続して駆動した場合に圧電トランスの昇圧比が最大となる周波数以上である場合には、高効率であり、かつ負荷電流が脈動する不安定な動作を抑制することができる。

【0169】第2の発振器の発振周波数の周囲温度に対する依存性を補償するための温度補償回路が備えられている場合には、温度補償により、入力電圧制御部の必要平均出力電圧の温度依存性を抑制することができる。従って、入力電圧制御手段の出力のばらつきが小さくなり、不要に高い昇圧比の圧電トランスを用いる必要はなくなり、圧電トランスインバータの低コスト化を果たすことができる。

【0170】上記温度補償回路については、サーミスタまたは温度補償用コンデンサを用いて構成することができ、それによって安価に温度補償回路が構成され得る。外部から印加される第1の調光信号に応じて、目標電流値を変化させる場合には、外部からの第1の調光信号に応じて負荷電流を変化させ得るので、放電管の輝度などの負荷の動作の調整を容易に行うことができる。

【0171】第1の調光信号に応じて、第2の発振器の発振周波数をフィードバック制御を用いることなく変化させ得る発振周波数可変回路を備えている場合には、第2の発振器の周波数を第1の調光信号に応じて変化させることにより、設定負荷電流の変化幅に比べて入力電圧制御手段の平均出力の変化幅を小さくすることができる。従って、フィードバック制御系の安定性を高めることができ、圧電トランスインバータの信頼性をより一層

10

20

30

40

50

高めることができる。

【0172】負荷の駆動を間欠的にオン・オフし、オン時間比率を外部から印加する第2の調光信号によって変化させ得る負荷駆動時間制御手段をさらに備える場合には、第2の調光信号に応じて負荷を間欠的にオン・オフし得るので、例えば負荷として放電管を用いた場合には、バースト調光を実現でき、調光範囲を広げることができる。

【0173】また、負荷電流検出手段から得られる負荷電流を整流し、該負荷電流に応じた直流電圧を出力する整流手段をさらに備え、負荷がオン状態またはオン状態となるように回路が動作しているときに整流手段の出力に生じる電圧と略同一の電圧を、負荷がオフ状態あるいは負荷がオフ状態となるように回路が動作している期間に整流手段の出力端子に印加するように構成した場合には、バーストオフ期間におけるデューティー比制御手段の出力矩形波パルスのデューティー比の変動を抑制することができ、調光特性をより一層良好なものとするることができる。

【0174】負荷を流れる電流及び整流手段の出力電圧の値に依存せず、入力電圧制御手段の矩形波パルスデューティー比が一定の値以上とならないようにデューティー比を制御するデッドタイム制御手段をさらに備える場合には、デッドタイム制御手段により制約された矩形波パルスデューティー比の値が入力電圧により変化するので、入力電圧が高く、かつフィードバック制御が外れた場合にも、入力電圧制御手段の出力の過上昇を抑制することができる。従って、圧電トランス駆動手段として、低耐圧の安価なFETなどを用いることができ、バースト調光を安価に実現することができる。

【0175】負荷を流れる電流が目標電流値とならない場合が予め定められた一定期間以上継続した場合に、回路動作を停止するための回路動作停止手段をさらに備える場合には、不要な放電や圧電トランスの破壊を抑制することができ、圧電トランスインバータを確実に保護することができる。

【0176】さらに、回路動作停止手段における異常事態発生から回路動作停止までの一定期間が、外部に接続されている部品の定数により変化されるように構成されている場合には、外部に接続する部品を選択することにより、上記一定期間を容易に調整することができる。

【0177】圧電トランスの出力電圧が所望の値を超えた場合に、第2の発振器の発振周波数を高周波数側に变化させ、出力電圧の過上昇を防止するように構成されている場合には、圧電トランスの破壊等を確実に防止することができ、圧電トランスインバータを確実に保護することができる。

【0178】あるいは、圧電トランスの出力電圧が所望の値を超えた場合に、入力電圧制御手段のデューティーを制御しても同様の効果が得られる。起動時に第2の発

振器の発振周波数を高周波数側から低周波数側に掃引しながら起動するように構成した場合には、起動時に過大な出力電流が流れることを防止できる。

【0179】入力電圧が所望の電圧よりも低い場合に、第2の発振器の発振周波数が、通常の場合の発振周波数よりも低い周波数にシフトされる場合には、圧電トランスの動作周波数が低周波数側に变化されることになり、それによって昇圧ゲインを高めることができる。従って、放電管が不点灯である可能性を低くすることができる。より一層確実に放電管を点灯することができる。また、逆に、最も頻繁に使用される入力電圧領域では、圧電トランスの効率が最高である周波数領域を利用できるため、圧電トランスインバータの効率を高めることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係る圧電トランスインバータを説明するための概略ブロック図。

【図2】図1に示した実施例の圧電トランスインバータの具体的な回路構成を示す回路図。

【図3】図2に示した実施例の圧電トランスインバータの種々の回路部分における電圧波形を示す図。

【図4】圧電トランスの周波数－ゲイン特性を示す図。

【図5】本発明の第2の実施例に係る圧電トランスインバータの回路図。

【図6】本発明の第3の実施例に係る圧電トランスインバータの回路図。

【図7】(a)～(d)は、第2の周波数発振回路に接続される温度補償回路を示す各回路図。

【図8】本発明の第4の実施例に係る圧電トランスインバータの回路図。

【図9】本発明の第5の実施例に係る圧電トランスインバータの回路図。

【図10】本発明の第6の実施例に係る圧電トランスインバータの回路図。

【図11】本発明の第7の実施例に係る圧電トランスインバータの回路図。

【図12】負荷が大きい場合と小さい場合の圧電トランスの周波数－ゲイン特性を示す図。

【図13】発振器の発振周波数の温度特性を示す図。

【図14】入力電圧制御部の出力の温度特性を示す図。

【図15】デッドタイム制御を用いた場合の入力電圧制御部出力の入力電圧依存特性を説明するための図。

【符号の説明】

1…入力電圧制御部

1a…スイッチングトランジスタとしてのFET

1b…環流素子としてのダイオード

2…第1の発振器

3…デューティー比制御手段

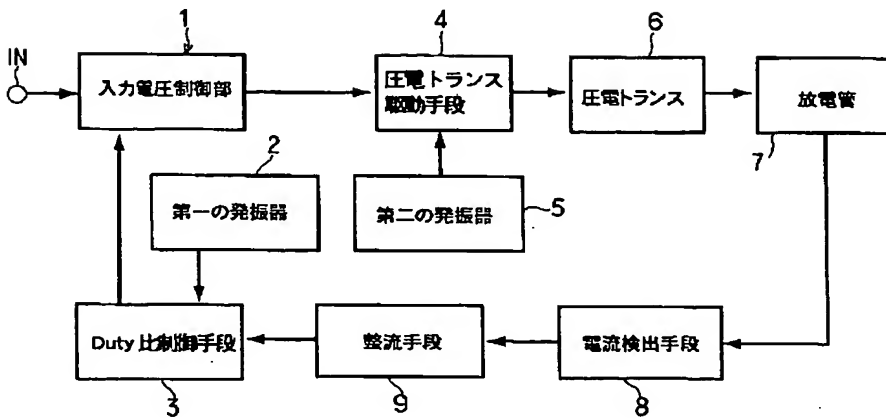
4…圧電トランス駆動手段

5…第2の発振器

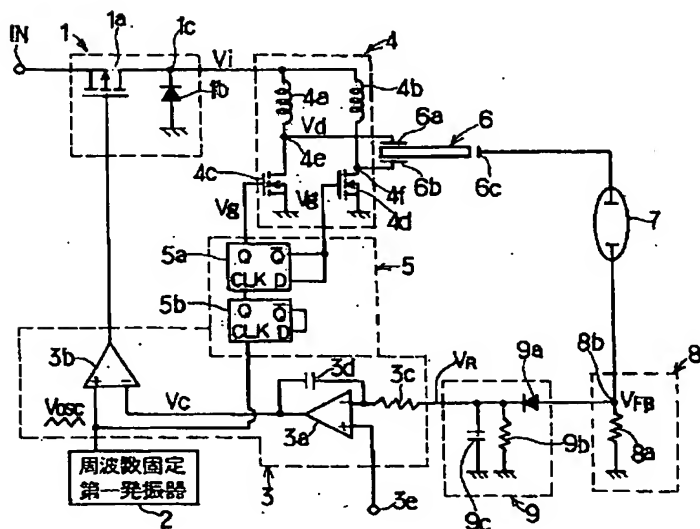
- 6…圧電トランス
 6 a, 6 b…入力電極
 6 c…出力電極
 7…負荷としての放電管
 8…電流検出手段
 9…整流手段
 1 2…第 1 の発振器
 1 4…圧電トランス駆動手段
 1 4 a…スイッチング素子としての F E T

- 1 4 b…オートトランス
 2 3…デューティ比制御手段
 2 4…圧電トランス駆動手段
 2 5…第 2 の発振器
 2 6…圧電トランス駆動手段
 2 7…デューティ比保持手段
 3 1…デッドタイム生成回路
 3 2…短絡・保護回路

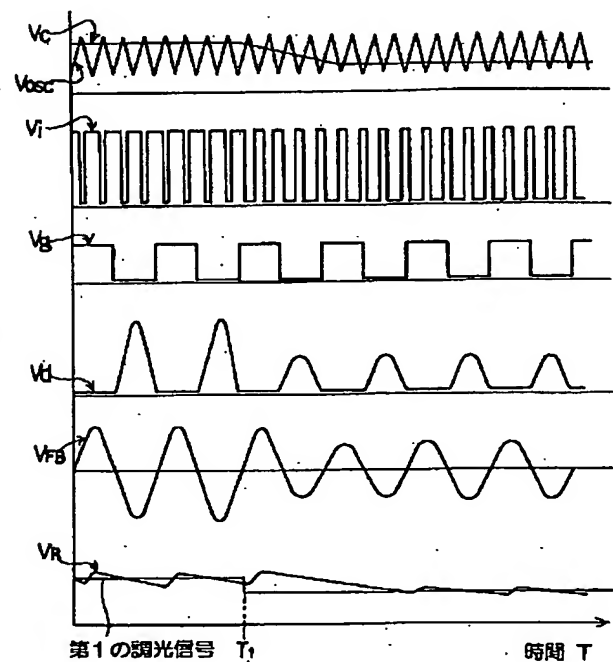
【図 1】



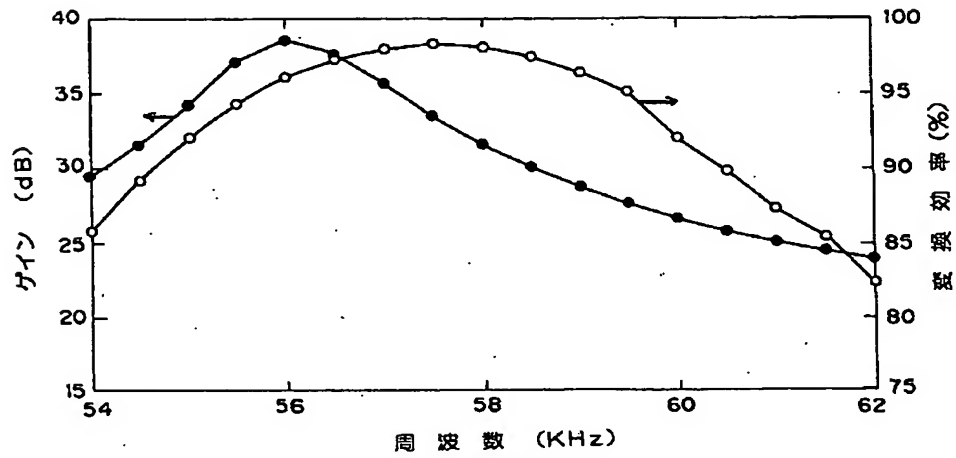
【図 2】



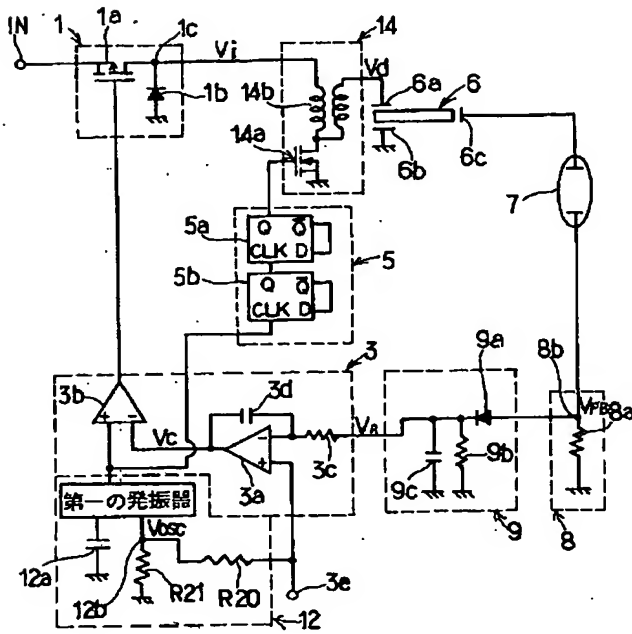
【図 3】



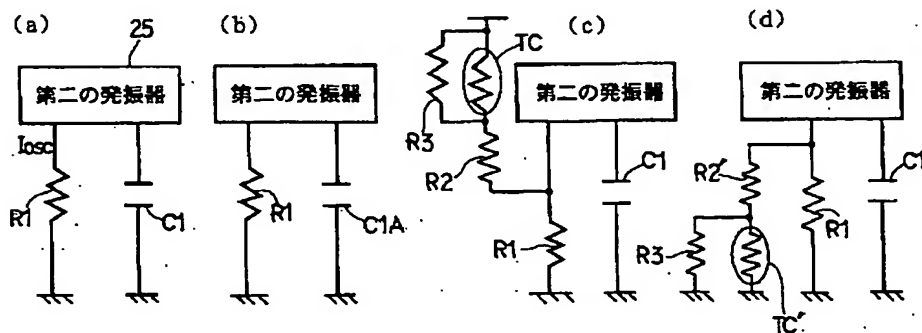
【図 4】



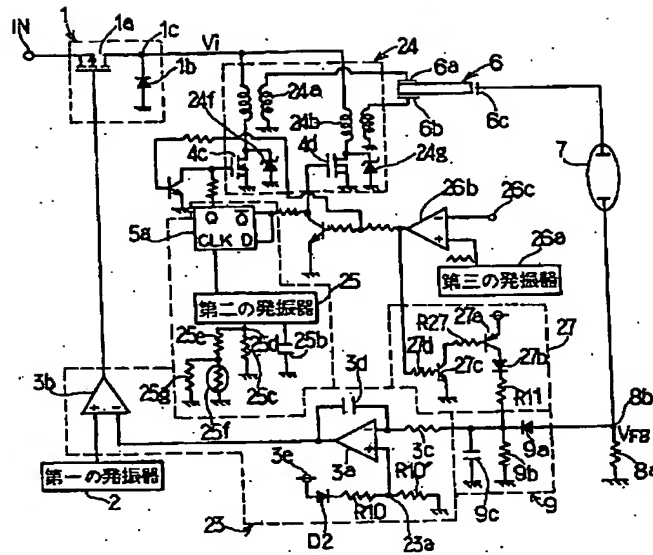
【図 5】



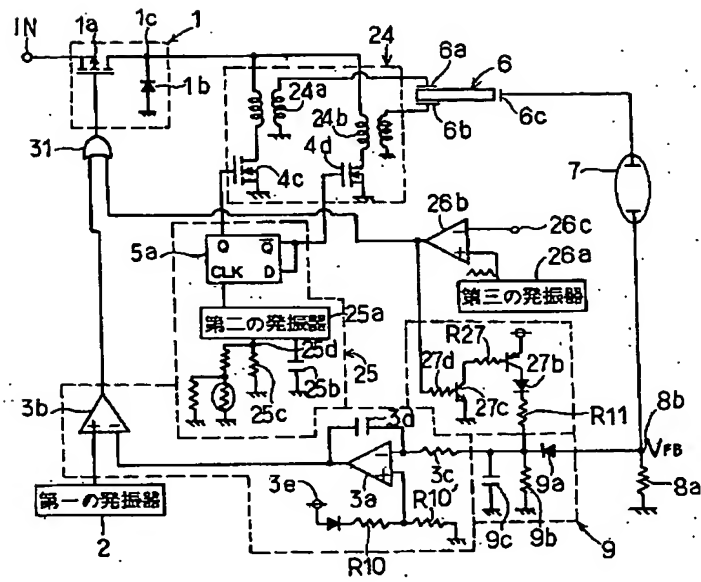
【図 7】



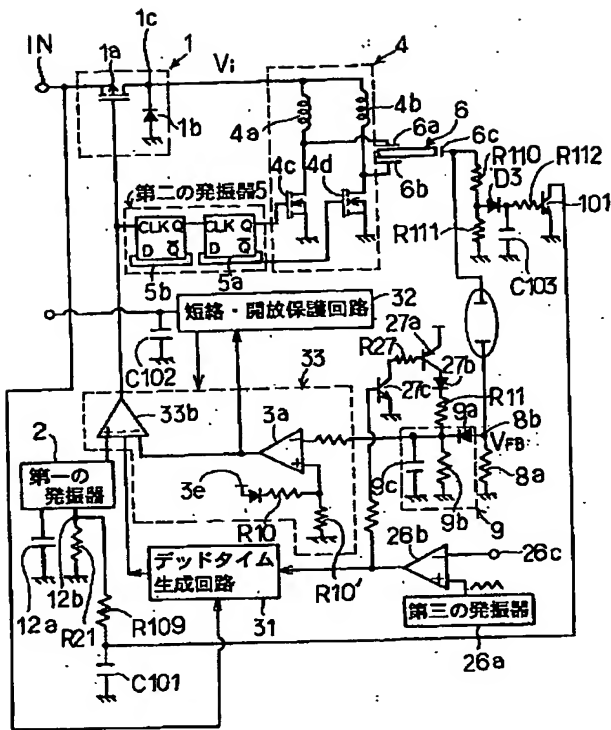
【図 6】



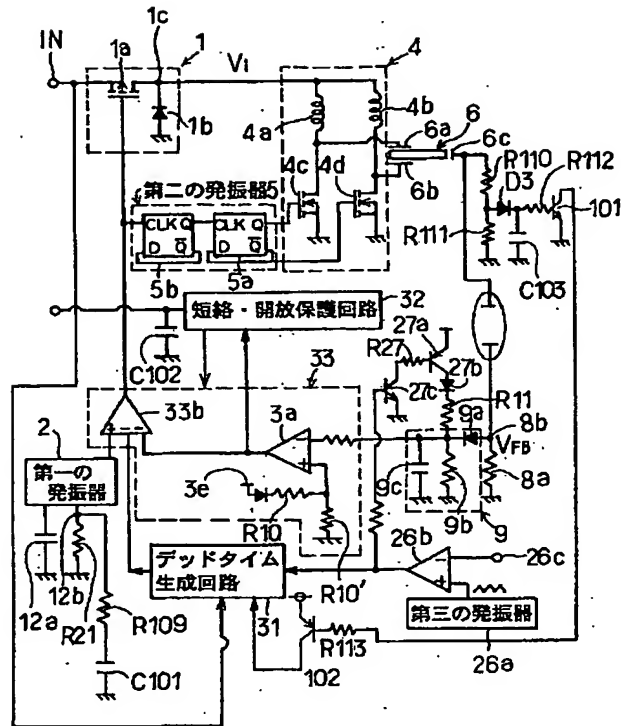
【図 8】



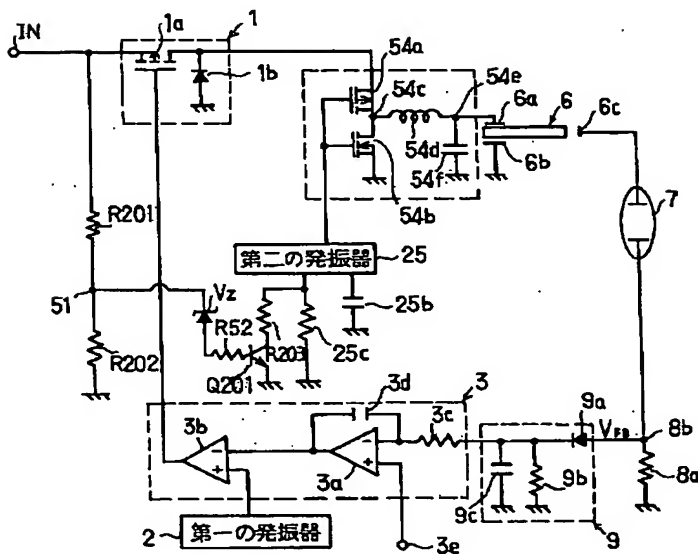
【図 9】



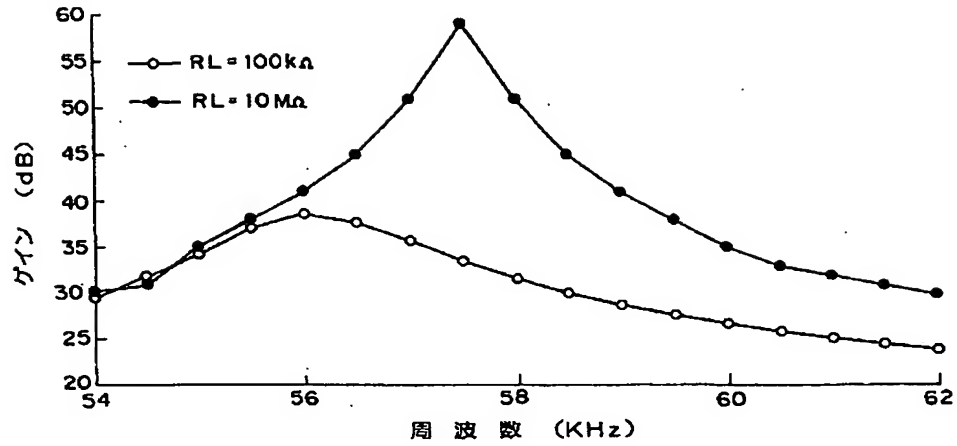
【図 10】



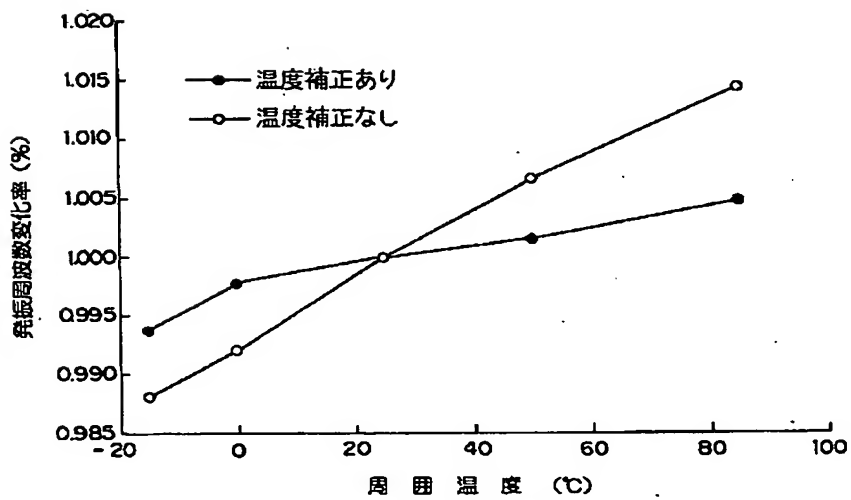
【図 11】



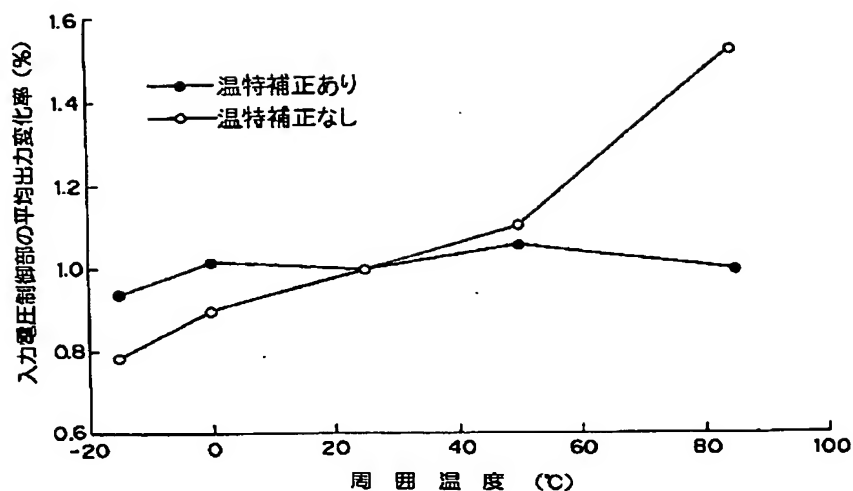
【図12】



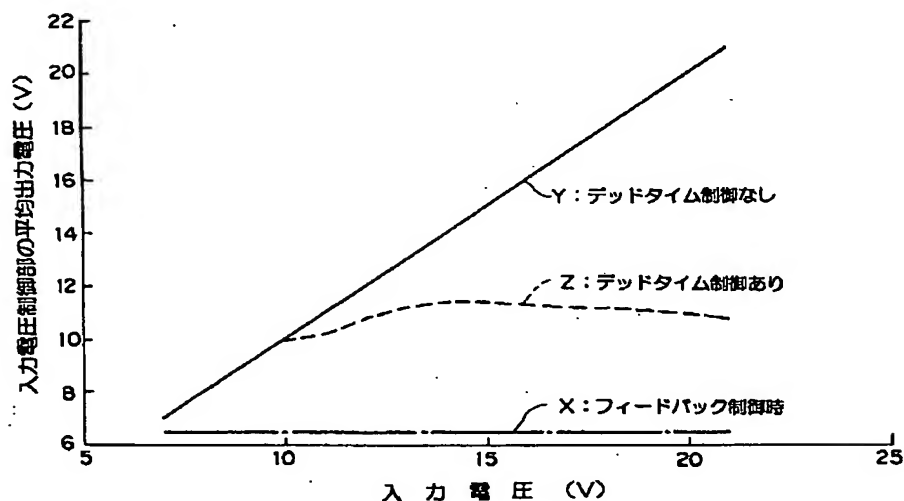
【図13】



【図 14】



【図 15】



【手続補正書】

【提出日】平成12年1月14日（2000. 1. 14）

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 圧電トランスを用いて負荷を駆動するための圧電トランスインバータであって、スイッチングトランジスタ及び環流素子を有し、直流入力電圧を矩形波交流電圧に変換する入力電圧制御手段

と、

前記入力電圧制御手段と圧電トランスとの間に接続されており、誘導性素子を含み、入力電圧制御手段から出力される交流電圧よりも低い略一定周波数の交流電圧を前記圧電トランスに出力する圧電トランス駆動手段と、
前記入力電圧制御手段の動作周波数を決定する第1の発振器と、

前記圧電トランス駆動手段の動作周波数を決定する第2の発振器と、

入力電極と出力電極とを有し、入力電極が前記圧電トランス駆動手段に接続されており、出力電極が負荷に接続される圧電トランスと、

負荷に接続されて、負荷電流を検出する負荷電流検出手段と、

前記負荷電流検出手段に接続されており、負荷電流検出手段の出力に応じて、負荷電流が略一定の目標電流値となるように入力電圧制御手段の矩形波パルスデューティ比を制御するデューティ比制御手段とを備え、前記第2の発振器の発振周波数が、前記圧電トランスの出力が無負荷の状態の場合に、圧電トランスの昇圧比が最大となる周波数以下であり、かつ前記圧電トランスに負荷を接続して駆動した場合に圧電トランスの昇圧比が最大となる周波数以上であることを特徴とする、圧電トランスインバータ。

【請求項2】 前記第2の発振器が前記第1の発振器の周波数を分周する分周回路を備え、第1の発振器の周波数を分周した信号が第2の発振器の出力とされており、それによって第1、第2の発振器が単一の発振器で構成されている、請求項1に記載の圧電トランスインバータ。

【請求項3】 第2の発振器の発振周波数の周囲温度に対する依存性を入力電圧制御部の必要平均出力電圧の温度依存性を抑制するように補償するための温度補償回路をさらに備えることを特徴とする、請求項1または2のいずれかに記載の圧電トランスインバータ。

【請求項4】 前記温度補償回路が、サーミスタまたは温度補償用コンデンサを備える、請求項3に記載の圧電トランスインバータ。

【請求項5】 外部から印加される第1の調光信号に応じて、前記目標電流値を変化させることを特徴とする、請求項1～4のいずれかに記載の圧電トランスインバータ。

【請求項6】 前記第1の調光信号に応じて、第1または第2の発振器の発振周波数をフィードバック制御を用いることなく変化させ得る発振周波数可変回路をさらに備えることを特徴とする、請求項5に記載の圧電トランスインバータ。

【請求項7】 負荷の駆動を間欠的にオン・オフし、オン時間比率を外部から印加する第2の調光信号によって変化させ得る負荷駆動時間制御手段をさらに備えることを特徴とする、請求項1～6のいずれかに記載の圧電トランスインバータ。

【請求項8】 前記負荷電流検出手段から得られる負荷電流を整流し、該負荷電流に応じた直流電圧を出力する整流手段をさらに備え、前記負荷がオン状態または負荷がオン状態となるように回路が動作しているときに前記整流手段の出力に生じる電圧と略同一の電圧を、負荷がオフ状態あるいは負荷がオフ状態となるように回路が動作している期間に前記整流手段の出力端子に印加することを特徴とする、請求項7に記載の圧電トランスインバータ。

【請求項9】 前記負荷を流れる電流及び前記整流手段

の出力電圧の値に依存せず、前記入力電圧制御手段の矩形波パルスデューティ比が一定の値以上とならないようにデューティ比を制御するデッドタイム制御手段をさらに備え、デッドタイム制御手段により制約された矩形波パルスデューティ比の値が入力電圧により変化する、請求項1～8のいずれかに記載の圧電トランスインバータ。

【請求項10】 前記負荷を流れる電流が目標電流値とならない場合が予め定められた一定期間以上継続した場合に、回路動作を停止するための回路動作停止手段をさらに備えることを特徴とする、請求項1～9のいずれかに記載の圧電トランスインバータ。

【請求項11】 前記回路動作停止手段における前記異常事態発生から回路動作停止までの一定期間が、外部に接続されている部品の定数により変化され得るように構成されている、請求項10に記載の圧電トランスインバータ。

【請求項12】 前記圧電トランスの出力電圧が所望の値を超えた場合に、前記第2の発振器の発振周波数を、高周波数側に变化させ、出力電圧の過上昇を防止するように構成されている、請求項1～11のいずれかに記載の圧電トランスインバータ。

【請求項13】 前記圧電トランスの出力電圧が所望の値を超えた場合に、前記入力電圧制御手段の出力矩形波のパルスデューティ比を狭くして、出力電圧の過上昇を防止するように構成されている、請求項1～12のいずれかに記載の圧電トランスインバータ。

【請求項14】 起動時に、前記第2の発振器の発振周波数を、高周波数側から低周波数側に掃引しながら起動するように構成されている、請求項1～13のいずれかに記載の圧電トランスインバータ。

【請求項15】 入力電圧が所望の電圧よりも低い場合に、前記第2の発振器の発振周波数が、通常の場合の発振周波数よりも低い周波数にシフトされる、請求項1～14のいずれかに記載の圧電トランスインバータ。

【請求項16】 前記負荷が、放電管である、請求項1～15のいずれかに記載の圧電トランスインバータ。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】削除

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】削除

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正内容】

【0012】

【課題を解決するための手段】本発明の広い局面によれば、圧電トランスを用いて負荷を駆動するための圧電トランスインバータであって、スイッチングトランジスタ及び環流素子を有し、直流入力電圧を矩形波交流電圧に変換する入力電圧制御手段と、前記入力電圧制御手段と圧電トランスとの間に接続されており、誘導性素子を含み、入力電圧制御手段から出力される交流電圧よりも低い略一定周波数の交流電圧を前記圧電トランスに出力する圧電トランス駆動手段と、前記入力電圧制御手段の動作周波数を決定する第1の発振器と、前記圧電トランス駆動手段の動作周波数を決定する第2の発振器と、入力電極と出力電極とを有し、入力電極が前記圧電トランス駆動手段に接続されており、出力電極が負荷に接続される圧電トランスと、負荷に接続されて、負荷電流を検出する負荷電流検出手段と、前記負荷電流検出手段に接続されており、負荷電流検出手段の出力に応じて、負荷電流が略一定の目標電流値となるように入力電圧制御手段の矩形波パルスデューティ比を制御するデューティ比制御手段とを備え、前記第2の発振器の発振周波数が、前記圧電トランスの出力が無負荷の状態の場合に、圧電トランスの昇圧比が最大となる周波数以下であり、かつ前記圧電トランスに負荷を接続して駆動した場合に圧電トランスの昇圧比が最大となる周波数以上である圧電トランスインバータが提供される。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】削除

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】好ましくは、前記第2の発振器が前記第1の発振器の周波数を分周する分周回路を備え、第1の発振器の周波数を分周した信号が第2の発振器の出力とされ、それによって第1、第2の発振器が単一の発振器で構成される。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】削除

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【0016】また、好ましくは、本発明においては、第2の発振器の発振周波数の周囲温度に対する依存性を入

力電圧制御部の必要平均出力電圧の温度依存性を抑制するように補償するための温度補償回路がさらに備えられる。上記温度補償回路は、好ましくは、サーミスタまたは温度補償用コンデンサを備える。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0164

【補正方法】変更

【補正内容】

【0164】

【発明の効果】本願発明に係る圧電トランスインバータでは、圧電トランスの出力電極に負荷が接続され、負荷を流れる電流が予め定められた目標電流値と略一致するように、電圧制御手段により制御されるが、該電圧制御手段が、圧電トランスに入力される交流電圧の平均電圧を制御するように機能するものであるため、1つのフィードバック制御を用いて負荷電流を安定化でき、従って制御系回路構成を簡略化かつ低コスト化することができる。また、上記電圧制御手段として、スイッチングトランジスタ及び環流素子を有する入力電圧制御手段を用い、負荷を流れる電流が目標電流値と略一致するように入力電圧制御手段のデューティ比が制御される場合には、スイッチングトランジスタ及び環流素子からなる降圧チョップ回路が構成されるが、降圧チョップ回路において平滑整流用のインダクタ及びコンデンサを必要としないので、部品点数を低減することができる。また、入力電圧制御手段のデューティ比を制御するだけでよいので、上述したように、制御系の簡略化を図ることができる。また、回路構成の簡略化及び低コスト化を図ることができる。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0165

【補正方法】変更

【補正内容】

【0165】また、入力電圧制御手段が、スイッチングトランジスタ及び環流素子を有し、平滑・整流手段を必要としないので、平滑・整流手段で生じる無駄な損失を無くすることができる。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0166

【補正方法】変更

【補正内容】

【0166】また、負荷電流検出手段により負荷を流れる負荷電流が検出され、該負荷電流が略一定の目標電流値となるように、デューティ比制御手段により入力電圧制御手段の矩形波パルスデューティ比が制御されるので、1つのフィードバック制御を用いるだけで、負荷電流の安定化を図ることができる。すなわち、制御系を

簡略化することができ、安価でかつ信頼性に優れた圧電トランスインバータを提供することができる。

【手続補正 12】

【補正対象書類名】明細書

【補正対象項目名】0168

【補正方法】変更

【補正内容】

【0168】さらに、第2の発振器の発振周波数が、圧電トランスの出力が無負荷の状態の場合に、圧電トランスの昇圧比が最大となる周波数以下であり、圧電トランスに負荷を接続して駆動した場合に圧電トランスの昇圧比が最大となる周波数以上であるため、高効率であり、かつ負荷電流が脈動する不安定な動作を抑制することができる。

フロントページの続き

Fターム(参考) 3K072 AA01 AA19 BA03 BA05 BC07
EB04 EB07 GA02 GB04 GB12
GB14 GC04 HA06 HA10 HB03
5H007 BB03 CA02 CB04 CB06 CB07
CB09 CC12 CC32 DA03 DA05
DC02 EA09
5H730 AA15 AS11 BB23 BB24 BB25
BB57 BB61 BB86 CC25 DD04
EE48 FD31 FG05 FG07 FG22

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.